(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G06F 13/12 (2006.01)

(45) 공고일자 2006년07월13일
(11) 등록번호 10-0599539
(24) 등록일자 2006년07월05일

(21) 출원번호 10-2004-0116705
(22) 출원일자 2004년12월30일

(65) 공개번호 10-2006-0078037
(43) 공개일자 2006년07월05일

(73) 특허권자 전자부품연구원
경기도 성남시 분당구 야탑동 68번지

(72) 발명자 최종찬
서울 송파구 잠실7동 우성아파트 28동 1503호

이승은
서울 중구 신당3동 남산타운아파트 19동 1001호

정용무
인천 계양구 계산2동 922-11

신대교
경기 평택시 이충동 현대아파트 114동 1201호

(74) 대리인 특허법인다래

(56) 선행기술조사문헌
EP0442041 A2
JP11015660 A
KR1020050039068 A
US6075935 A
* 심사관에 의하여 인용된 문헌

심사관 : 이재근

(54) 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서

요약

본 발명은 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서로서, 특정 태스크 수행을 빠르게 처리하기 위한 태스크 엔진과, 상기 태스크 엔진과 상기 디지털 신호 프로세서의 시스템 버스와의 데이터 통신을 중개하는 SRR(software routing register)과, 상기 태스크 엔진에 대해서 데이터 경로에 대한 연산을 제공하는 데이터 경로부와, 상기 디지털 신호 프로세서 내부의 로직을 제어하는 DSP 제어부와, 중앙 처리 기능을 수행하는 DSP 코어와, 상기 시스템 버스를 통하여 상기 DSP 코어와 상기 DSP 제어부에 데이터를 입출력하는 공유 메모리와, 상기 시스템 버스를 통하여 상기 태스크 엔진과의 데이터 입출력을 수행하는 메모리 뱅크를 포함하는 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 관한 것이다.

본 발명에 따르면, 종래의 DSP 구조가 전체적으로 인스트럭션 세트와 연계된 아키텍쳐로 구성되어 있어서 MAC 변형이나 다른 기능의 추가에 한계가 있던 문제점을 개선하여 태스크 엔진을 DSP 내의 MAC 연산부와 연계 구현하여 DSP의 성능을 높이면서 태스크 엔진의 파라미터 설정이 가능하도록 하여 재구성가능한 기능을 가진다.

대표도

도 2

색인어

DSP, 태스크 엔진, SRR(software routing register), RISC, 데이터 경로, 재구성가능(reconfigurable), PCMCIA 카드, 커넥터, RFU

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 디지털 신호 프로세서의 예시적인 블록도.

도 2는 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서의 블록도이다.

<도면의 주요부분에 대한 부호의 설명>

110: 제어 유닛 120: 어드레스 생성 유닛

130: 데이터 연산 유닛 140: 메모리

150: 프로그램 버스 160: 데이터 버스

210: DSP 코어 220: 공유 메모리

230: DSP 제어부 240: 데이터 경로부

250: SRR 260: 태스크 엔진

265a 내지 265d: 태스크 엔진 270: 메모리 뱅크

280: 커넥터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서(DSP)에 관한 것으로, 더욱 구체적으로는 종래의 DSP 구조가 전체적으로 인스트럭션 세트와 연계된 아키텍쳐로 구성되어 있어서 MAC 변형이나 다른 기능의 추가에 한계가 있던 문제점을 개선하여 태스크 엔진을 DSP 내의 MAC 연산부와 연계 구현하여 DSP의 성능을 높이면서 태스크 엔진의 파라미터 설정이 가능하도록 하여 재구성가능한 기능을 가지는 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 관한 것이다.

DSP(digital signal processor)는 디지털 신호를 하드웨어적으로 처리할 수 있는 집적회로로서, 주로 디지털 신호를 고속으로 처리하기 위하여 덧셈, 뺄셈, 곱셈 등의 반복 연산을 고속으로 처리할 수 있는 회로를 채용하고 있다.

도 1은 종래의 DSP의 예시적인 블록도이다.

도시되듯이 종래의 DSP는 제어 유닛(110), 어드레스 생성 유닛(120), 데이터 연산 유닛(130)과 메모리(140)를 포함하고 있으며, 데이터 버스(160) 및/또는 프로그램 버스(150)를 채택하여 데이터 및/또는 프로그램 데이터의 교환을 수행한다.

제어 유닛(110)은 인스트럭션(Instruction)을 포함하는 프로그램과 데이터를 메모리(140)로부터 로딩하여 디코딩한 후 어드레스 생성 유닛(120), 데이터 연산 유닛(130)에 전송하여 인스트럭션에 해당하는 작업을 수행하도록 하며, 이를 위해서 프로그램 카운터, 인스트럭션 레지스터, 인스트럭션 디코더 등의 구성을 포함하고 있다. 또한 반복적인 연산의 처리를 위해 루프 제어(loop control)를 포함하고 있으며 다중(multiple) 버스 구조를 포함하여 둘 이상의 오퍼랜드(operand)를 동시에 불러올 수 있는 구조를 취하는 경우도 있다.

어드레스 생성 유닛(120)은 제어 유닛(120)으로부터 데이터를 전송받아 어드레스를 생성한다.

데이터 연산 유닛(130)은 제어 유닛(120)으로부터 데이터를 전송받아 어드레스를 생성한다. 이러한 작업 수행을 위해서 MAC(multiply and accumulation) 등의 구성 요소를 포함한다.

메모리(140)는 데이터와 프로그램을 저장하며 제어 유닛(110), 어드레스 생성 유닛(120), 데이터 연산 유닛(130)과 데이터 버스(160) 및/또는 프로그램 버스(150)를 사용하여 통신한다.

데이터 버스(160)와 프로그램 버스(150)는 각각 데이터와 인스트럭션을 로딩하는 데 사용되며 제어 유닛(110)에서 동시에 데이터와 인스트럭션을 불러올 수 있도록 데이터 버스(160)와 프로그램 버스(150)로 분리되어 구성하는 것이 일반적이다.

이 밖에도 종래의 DSP는 메모리 제어기, 온칩 RAM, 온칩 PLL 등의 구성요소를 포함할 수 있다.

이러한 종래의 DSP는 인스트럭션 세트와 연계된 아키텍처로 구성되어 있다. 따라서 전체적으로 밀접하게 연관되어 있으며, 따라서 다른 기능의 추가에는 한계가 있다.

예컨대 신호 처리의 가장 기능적인 블록인 제어 유닛(110)에서 디코딩된 인스트럭션에 의해서 MAC은 가감승제 및 논리연산 등으로 구성되어 있으며, 이러한 기본적인 연산은 프로그램에 의해 반복 수행됨으로서 특정 용도의 기능을 수행하도록 구성되어 있다.

태스크 엔진은 소프트웨어만으로는 그 성능을 구현하는 것이 어려운 태스크들을 수행하도록 별도의 하드웨어 논리로 설계하여 태스크 수행을 빠르게 하기 위한 것이다. 예컨대 암호화 로직에서의 암호 처리, 통신 장치에서 OFDM 처리 등등의 태스크를 처리하는 태스크 엔진이 있을 수 있다.

이러한 특정한 태스크(task)를 수행하는 태스크 엔진이 DSP 내에 집적되기 위해서는 태스크 엔진에 따라서 인스트럭션 세트 및 제어 유닛을 다시 설계하여야 하는 문제점이 있으며 이러한 문제점으로 인하여 소프트웨어 개발 환경 역시 갱신하여야 하는 문제점이 있다.

또한 태스크 엔진 역시 특정 용도로 고정되어 있으므로 태스크 엔진을 사용하여 다용도의 프로그래머블 DSP로 활용하는 것 역시 한계가 있게 된다.

따라서 보다 고속의 성능을 얻으면서 일반적인 기능을 수행할 수 있는 프로그래머블(또는 재구성가능한) 기능을 수행하기 위해서 MAC 이외의 특정 태스크 엔진을 DSP의 내부 MAC 블록과 연계하여 구현함으로써 DSP의 성능을 높이며 동시에 태스크 엔진의 파라미터 설정을 가능하도록 하여 재구성가능한 디지털 신호프로세서에 대한 필요성이 커지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 종래의 DSP 구조가 전체적으로 인스트럭션 세트와 연계된 아키텍처로 구성되어 있어서 MAC 변형이나 다른 기능의 추가에 한계가 있던 문제점을 개선하여 태스크 엔진을 DSP 내의 MAC 연산부와 연계 구현하여 DSP의 성능을 높이면서 태스크 엔진의 파라미터 설정이 가능하도록 하여 재구성가능한 기능을 가지는 태스크 엔진 기반의 재구성가능 디지털 신호 처리 프로세서를 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명은 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서로서, 특정 태스크 수행을 빠르게 처리하기 위한 태스크 엔진과, 상기 태스크 엔진과 상기 디지털 신호 프로세서의 시스템 버스와의 데이터 통신을 중개하는 SRR(software routing register)과, 상기 태스크 엔진에 대해서 데이터 경로에 대한 연산을 제공하는 데이터 경로부와, 상기 디지털 신호 프로세서 내부의 로직을 제어하는 DSP 제어부와, 중앙 처리 기능을 수행하고 상기 SRR에 대해 접근하는 인스트럭션을 가지는 DSP 코어와, 상기 시스템 버스를 통하여 상기 DSP 코어와 상기 DSP 제어부에 데이터를 입출력하는 공유 메모리와, 상기 시스템 버스를 통하여 상기 태스크 엔진과의 데이터 입출력을 수행하는 메모리 뱅크를 포함하는 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서를 제공한다.

본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 DSP 코어는 RISC(reduced instruction set computer) 구조인 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 데이터 경로부는 상기 디지털 신호 프로세서내의 MAC에 따라 태스크 엔진이 동작할 수 있도록 구성되는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 SRR은 상기 시스템 버스 상에서 읽기 또는 쓰기가 가능한 레지스터 파일이고 태스크 엔진으로 데이터를 출력하는 출력 인터페이스를 포함하는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 SRR은 다중화기(MUX) 구조를 부가하여 각 태스크 엔진에 대해서 포트 별로 설정이 가능한 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 태스크 엔진은 파라미터 설정에 의해서 모드를 변경할 수 있는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 SRR은 상기 태스크 엔진의 파라미터 설정을 위한 구성 레지스터를 포함하는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 태스크 엔진은 FFT(Fast Fourier Transform)을 위한 태스크 엔진을 포함하는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 DSP 코어는 상기 SRR에 대한 인터럽트를 처리하는 인터럽트 프로토콜을 포함하는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 SRR의 크기 또는 개수는 상기 태스크 엔진의 필요성에 따라 설계되는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 외부 인터페이스 규격에 의해서 상기 시스템 버스에 연결되어 특정 태스크를 수행하는 외부 태스크 엔진과, 상기 외부 태스크 엔진과 상기 시스템 버스를 연결하는 커넥터를 더 포함하는 것이 바람직하다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서에 있어서, 상기 외부 태스크 엔진은 PCMCIA 규격에 의한 카드 형태로 구현되는 것이고, 상기 커넥터는 PCMCIA 규격에 의한 커넥터인 것이 바람직하다.

또한 본 발명은 시스템-온-칩(system-on-chip)으로서, 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서를 포함하는 시스템-온-칩을 제공한다.

이하, 본 발명의 태스크 엔진 기반의 재구성가능 디지털 신호 처리 프로세서를 도면을 참조로 하여 보다 구체적으로 설명한다.

도 2는 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서의 블록도이다.

도시되듯이 본 발명에 따른 DSP는, DSP 코어(210)와, 공유 메모리(220)와, DSP 제어부(230)와, 데이터 경로부(data path, 240)와, SRR(software routing register, 250)과, 태스크 엔진(260, 265a 내지 265c)과, 메모리 뱅크(270)를 포함한다. 또한 외부 태스크 엔진(265d)과 이를 위한 커넥터(280)를 더 포함할 수 있다.

DSP 코어(210)는 중앙 처리장치 즉 CPU이며 아키텍쳐가 RISC(reduced instruction set computer) 구조를 가지는 것이 바람직하다.

DSP 코어(210)의 인스트럭션 세트는 기본적으로 SRR(250)에 접근하는 인스트럭션 명령어만을 구비하고, 이를 내부 제어 유닛에 반영한다. 즉 DSP 코어(210) 측면에서는 태스크 엔진(260, 265a 내지 265c)에 직접 접속하여 운영하는 것이 아니라 SRR(250)에만 접속하고 SRR(250)에서 태스크 엔진(260, 265a 내지 265c)을 운영하도록 한다. 이를 위해서 DSP 코어(210)는 SRR(250)에 대한 인터럽트를 처리하는 인터럽트 프로토콜을 구현하고 있다.

공유 메모리(220)는 DSP 코어(210)와 DSP 제어부(230) 등이 공유하는 데이터 저장수단이다.

DSP 제어부(230)는 DSP 내부의 로직을 제어하는 제어부이다. DSP 제어부(230)에 의해서 공유 메모리(220)에 저장된 데이터를 입출력할 수 있으며, 시스템 버스를 통하여 DSP 코어(210)와 데이터 경로부(240)와 SRR(250)과 태스크 엔진(260, 265a 내지 265c)과 메모리 뱅크(270)와 기타 외부 태스크 엔진(265d)과 커넥터(280)가 연결되는 경우 외부 태스크 엔진(265d)과 커넥터(280)까지를 제어할 수 있다.

데이터 경로부(240)는 데이터 경로를 제공하는 연산 모듈이다. 데이터 경로부(240)는 DSP의 일반적인 구조 중 MAC을 중심으로 한 데이터 경로 블록을 확장성을 고려하여 설계하는 것이다. 예컨대, 쿼드(Quad) MAC을 설계하는 경우 태스크 엔진이 MAC의 연장선상에서 동작할 수 있도록 데이터 경로부(240)를 구성한다.

SRR(250)은 시스템 버스와 태스크 엔진(260, 265a 내지 265c) 사이의 통신을 수행한다. 즉 DSP의 시스템 버스와 태스크 엔진(260, 265a 내지 265c) 사이의 데이터 통신을 에는 SRR(250)을 사용하여 중개하는 것이다. SRR(250)은 DSP 시스템 버스 상에서 읽기/쓰기가 가능한 레지스터 파일을 기본으로 하며 출력 채널은 태스크 엔진(260, 265a 내지 265c)과의 인터페이스가 가능하도록 설정된다. 또한 SRR(250)은 다중화기(MUX) 구조를 부가하여 각 태스크 엔진에 대해서 포트 별로 설정이 가능하도록 구성할 수 있다. 또한 SRR(250)은 태스크 엔진의 확장성을 고려하여 설계할 수 있다.

태스크 엔진(260)은 FFT(Fast Fourier Transform)을 위한 태스크 엔진이다.

태스크 엔진(265a 내지 265c)은 특정 태스크를 위한 태스크 엔진이다. 태스크 엔진(260, 265a 내지 265c)은 고정적인 모드가 아니라 파라미터 설정에 의해 모드를 변경할 수 있도록 설계되어야 한다. 따라서 파라미터 설정을 위한 구성 레지스터가 있어야 하며 이는 SRR(250)에 포함될 수 있다. 태스크 엔진(260, 265a 내지 265c)은 RFU(resynchronous function unit) 형태로 구현될 수 있다.

이 경우 SRR(250)의 MUX 설정 역시 구성 레지스터의 특성을 가지도록 설계한다. SRR(250)에 포함된 구성 레지스터를 통하여 태스크 엔진(260, 265a 내지 265c)의 파라미터 설정이 가능하다. 따라서 SRR(250)의 크기나 개수는 태스크 엔진의 필요성에 따라서 설계된다.

메모리 뱅크(270)는 메모리 어레이로서, 시스템 버스를 통하여 태스크 엔진(265a 내지 265c) 등에 저장된 데이터를 입출력한다.

외부 태스크 엔진(265d)은 특정 태스크를 수행하기 위한 태스크 엔진으로서 카드 형태로 저장되어 커넥터(280)를 통하여 시스템 버스에 연결된다. 외부 태스크 엔진(265d)은 또한 외부 I/O 커넥터(280)를 통하여 연동되도록 구성되며, 외부 I/O를 위한 SRR을 통하여 운영된다. 이러한 외부 태스크 엔진(265d)은 예컨대 PCMCIA 규격에 의한 카드에 포함되어서 I/O 커넥터를 통해 DSP 내부 연산과 연동되도록 구성하는 것이다. 또한 PCMCIA 이외의 다양한 인터페이스 규격에 의해서 구현될 수 있다.

또한 본 발명에 따른 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서는 시스템-온-칩 형태로 구현될 수 있다.

비록 본 발명이 구성이 구체적으로 설명되었지만 이는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 보호 범위가 이들에 의해 제한되는 것은 아니며, 본 발명의 보호 범위는 청구범위의 기재를 통하여 정하여진다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면 종래의 DSP 구조가 전체적으로 인스트럭션 세트와 연계된 아키텍쳐로 구성되어 있어서 MAC 변형이나 다른 기능의 추가에 한계가 있던 문제점을 개선하여 태스크 엔진을 DSP 내의 MAC 연산부와 연계 구현하여 DSP의 성능을 높이면서 태스크 엔진의 파라미터 설정이 가능하도록 하여 재구성가능한 기능을 가진다.

즉 DSP의 성능을 특정한 응용 그룹 군에서 태스크 엔진을 사용하여 향상시킬 수 있으며, DSP 고유의 인스트럭션 세트 및 제어 로직의 수정을 최소화하면서도 태스크 엔진을 탑재할 수 있으며, 결선 블록(Hardwired block)을 임베딩(embedding)시키는 설계 방식을 구축할 수 있다.

(57) 청구의 범위

청구항 1.

태스크 엔진 기반의 재구성가능 디지털 신호 프로세서로서,

특정 태스크 수행을 빠르게 처리하기 위한 태스크 엔진과,

상기 태스크 엔진과 상기 디지털 신호 프로세서의 시스템 버스와의 데이터 통신을 중개하는 SRR(software routing register)과,

상기 태스크 엔진에 대해서 데이터 경로에 대한 연산을 제공하는 데이터 경로부와,

상기 디지털 신호 프로세서 내부의 로직을 제어하는 DSP 제어부와,

중앙 처리 기능을 수행하고 상기 SRR에 대해 접근하는 인스트럭션을 가지는 DSP 코어와,

상기 시스템 버스를 통하여 상기 DSP 코어와 상기 DSP 제어부에 데이터를 입출력하는 공유 메모리와,

상기 시스템 버스를 통하여 상기 태스크 엔진과의 데이터 입출력을 수행하는 메모리 뱅크

를 포함하는 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 2.

제1항에 있어서,

상기 DSP 코어는 RISC(reduced instruction set computer) 구조인 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 3.

제1항에 있어서,

상기 데이터 경로부는 상기 디지털 신호 프로세서내의 MAC에 따라 태스크 엔진이 동작할 수 있도록 구성되는 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 4.

제1항에 있어서,

상기 SRR은 상기 시스템 버스 상에서 읽기 또는 쓰기가 가능한 레지스터 파일이고 태스크 엔진으로 데이터를 출력하는 출력 인터페이스를 포함하는 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 5.

제1항에 있어서,

상기 SRR은 다중화기(MUX) 구조를 부가하여 각 태스크 엔진에 대해서 포트 별로 설정이 가능한 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 6.

제1항에 있어서,

상기 태스크 엔진은 파라미터 설정에 의해서 모드를 변경할 수 있는 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 7.

제6항에 있어서,

상기 SRR은 상기 태스크 엔진의 파라미터 설정을 위한 구성 레지스터를 포함하는 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 8.

제1항에 있어서,

상기 태스크 엔진은 FFT(Fast Fourier Transform)을 위한 태스크 엔진을 포함하는 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 9.

제1항에 있어서,

상기 DSP 코어는 상기 SRR에 대한 인터럽트를 처리하는 인터럽트 프로토콜을 포함하는 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 10.

제1항에 있어서,

상기 SRR의 크기 또는 개수는 상기 태스크 엔진의 필요성에 따라 설계되는 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 11.

제1항에 있어서,

외부 인터페이스 규격에 의해서 상기 시스템 버스에 연결되어 특정 태스크를 수행하는 외부 태스크 엔진과,

상기 외부 태스크 엔진과 상기 시스템 버스를 연결하는 커넥터

를 더 포함하는 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 12.

제11항에 있어서,

상기 외부 태스크 엔진은 PCMCIA 규격에 의한 카드 형태로 구현되는 것이고,

상기 커넥터는 PCMCIA 규격에 의한 커넥터인 것인 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서.

청구항 13.

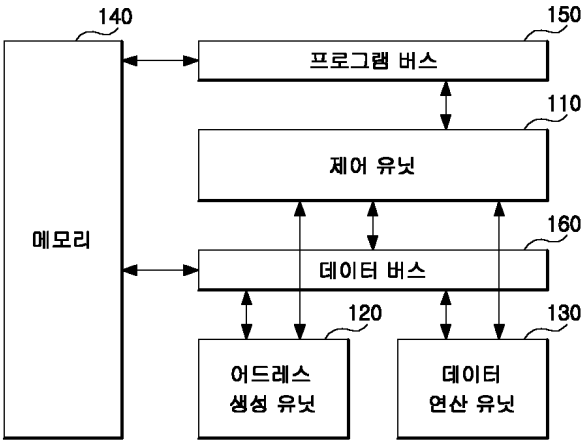
시스템-온-칩(system-on-chip)으로서,

제1항 내지 제12항 중 어느 한 항에 기재된 태스크 엔진 기반의 재구성가능 디지털 신호 프로세서

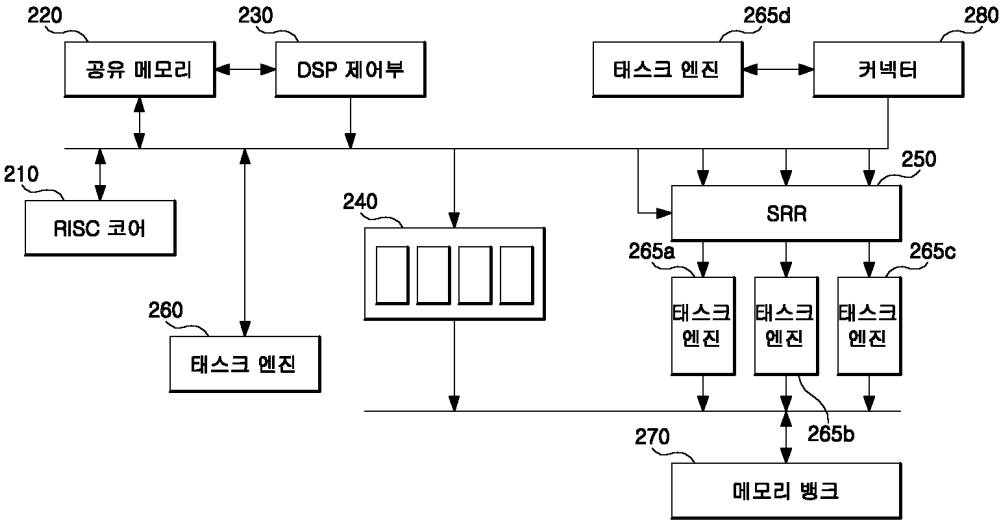
를 포함하는 시스템-온-칩.

도면

도면1



도면2


220
230
265d
280
공유 메모리
DSP 제어부
태스크 엔진
커넥터
210
250
RISC 코어
240
SRR
265a
265c
260
태스크 엔진
태스크 엔진
태스크 엔진
태스크 엔진
265b
270
메모리 뱅크