



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G06F 13/00 (2006.01)
G06F 9/00 (2006.01)
G06F 13/10 (2006.01)

(45) 공고일자 2007년07월10일
(11) 등록번호 10-0737802
(24) 등록일자 2007년07월04일

(21) 출원번호 10-2004-0116706
(22) 출원일자 2004년12월30일
심사청구일자 2004년12월30일

(65) 공개번호 10-2006-0078038
(43) 공개일자 2006년07월05일

(73) 특허권자 전자부품연구원
경기도 성남시 분당구 야탑동 68번지

(72) 발명자 최중찬
서울 송파구 잠실7동 우성아파트 28동 1503호
이승은
서울 중구 신당3동 남산타운아파트 19동 1001호

(74) 대리인 특허법인지명

(56) 선행기술조사문헌
US5577215 A KR1019900005303 A
KR1020050013076 A US6356995 B2

심사관 : 김성배

전체 청구항 수 : 총 7 항

(54) 모듈형 디지털 신호 프로세서 블록 및 이를 이용한시스템-온-칩

(57) 요약

본 발명은 디지털 신호 프로세서의 기능을 연산기, 비트 연산기, 승산기, 태스크 엔진 또는 레지스터 파일 등으로 구분하여 각각의 기능을 별도의 모듈형 디지털 신호 프로세서 블록으로 구현한 모듈형 디지털 신호 프로세서 블록으로서, 상기 모듈형 디지털 신호 프로세서 블록을 주처리장치(CPU)의 버스에 연결하여 데이터 송수신 인터페이스를 수행하는 버스 랙과, 상기 모듈형 디지털 신호 프로세서 블록에서 구현하고 있는 기능에 종속적인 인스트럭션 세트로 구성된 마이크로프로그램을 저장하는 마이크로프로그램 모듈과, 상기 마이크로프로그램 내의 상기 인스트럭션 세트를 마이크로코드 제어 신호로 변환하는 마이크로코드 모듈과, 상기 마이크로코드 모듈의 마이크로코드 제어 신호에 의해 디지털 연산을 수행하는 연산 모듈과, 상기 연산 모듈에서 생성되는 데이터의 저장이나 이동을 위해 상기 데이터를 임시적으로 저장하는 레지스터 파일을 포함하는 모듈형 디지털 신호 프로세서 블록에 관한 것이다.

본 발명에 따르면, 종래의 DSP 구조가 범용 DSP로 설계되어서 어떠한 구조로 설계되던지 간에 다양한 인스트럭션 세트를 기반으로 동작하도록 구성됨으로써 시스템-온-칩(SoC)에 내장하는 경우 비효율적인 단점을 개선하여 DSP를 기능 블록

으로 구분하고 인스트럭션 세트를 각 기능블록에 종속적인 마이크로코드 체계로 설계하여 각 기능블록이 독립적으로 운용될 수 있도록 설계하고 이러한 기능 블록을 기존의 DSP 데이터 버스 등에 연계하도록 구성함으로써 SoC 내장에 적합하고 프로세서 전체의 성능을 효율적으로 향상시키며 소프트웨어/하드웨어 혼합 설계를 간편하게 한다.

대표도

도 2

특허청구의 범위

청구항 1.

디지털 신호 프로세서의 기능을 연산기, 비트 연산기, 승산기, 태스크 엔진 또는 레지스터 파일로 구분하여 각각의 기능을 별도의 모듈형 디지털 신호 프로세서 블록으로 구현한 모듈형 디지털 신호 프로세서 블록에 있어서,

상기 모듈형 디지털 신호 프로세서 블록을 주처리장치(CPU)의 버스에 연결하여 데이터 송수신 인터페이스를 수행하는 버스 랙;

상기 모듈형 디지털 신호 프로세서 블록에서 구현하고 있는 기능에 종속적인 인스트럭션 세트로 구성된 마이크로프로그램을 저장하는 마이크로프로그램 모듈;

상기 마이크로프로그램 내의 상기 인스트럭션 세트를 마이크로코드 제어 신호로 변환하는 마이크로코드 모듈;

상기 마이크로코드 모듈의 마이크로코드 제어 신호에 의해 디지털 연산을 수행하는 연산 모듈; 및

상기 연산 모듈에서 생성되는 데이터의 저장이나 이동을 위해 상기 데이터를 임시적으로 저장하는 레지스터 파일을 포함하는 것을 특징으로 하는 모듈형 디지털 신호 프로세서 블록.

청구항 2.

제1항에 있어서, 상기 모듈형 디지털 신호 프로세서 블록은,

상기 주처리장치(CPU)의 버스를 통하여 인에이블되는 경우에만 활성화되는 것을 특징으로 하는 인 모듈형 디지털 신호 프로세서 블록.

청구항 3.

제1항에 있어서, 상기 모듈형 디지털 신호 프로세서 블록은,

시스템-온-칩의 구성요소로 내장되는 것을 특징으로 하는 모듈형 디지털 신호 프로세서 블록.

청구항 4.

시스템-온-칩으로서,

주처리장치와,

버스 인터페이스와,

제1항 및 제2항 중 어느 하나에 기재된 모듈형 디지털 신호 프로세서 블록을 복수개 포함하는 것을 특징으로 하는 시스템-온-칩.

청구항 5.

제4항에 있어서,

상기 복수개의 모듈형 디지털 신호 프로세서 블록 각각은,

디지털 신호 프로세서(DSP)의 기능을 연산기, 비트 연산기, 승산기, 태스크 엔진 또는 레지스터 파일로 구분하여 각각의 기능을 별도의 모듈형 디지털 신호 프로세서 블록으로 구성한 것을 특징으로 하는 시스템-온-칩.

청구항 6.

제5항에 있어서,

상기 복수개의 모듈형 디지털 신호 프로세서 블록 각각은,

다른 모듈형 디지털 신호 프로세서 블록에 대해서 독립적으로 운용되는 것을 특징으로 하는 시스템-온-칩.

청구항 7.

제5항에 있어서,

상기 시스템-온-칩은,

상기 복수개의 모듈형 디지털 신호 프로세서 블록의 개수를 필요에 따라 조절하여 시스템-온-칩 내에 내장하는 것을 특징으로 하는 시스템-온-칩.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 모듈형 디지털 신호 프로세서(DSP) 블록 및 이를 이용한 시스템-온-칩에 관한 것으로, 더욱 구체적으로는 종래의 DSP 구조가 범용 DSP로 설계되어서 어떠한 구조로 설계되든지 간에 다양한 인스트럭션 세트를 기반으로 동작하도록 구성됨으로써 시스템-온-칩(SoC)에 내장하는 경우 비효율적인 단점을 개선하여 DSP를 기능 블록으로 구분하고 인스트럭션 세트를 각 기능블록에 종속적인 마이크로코드 체계로 설계하여 각 기능블록이 독립적으로 운용될 수 있도록 설계하고 이러한 기능 블록을 기존의 DSP 데이터 버스 등에 연계하도록 구성함으로써 SoC 내장에 적합하고 프로세서 전체의 성능을 효율적으로 향상시키며 소프트웨어/하드웨어 혼합 설계를 간편하게 하는 모듈형 디지털 신호 프로세서 블록 및 이를 이용한 시스템-온-칩에 관한 것이다.

DSP(digital signal processor)는 디지털 신호를 하드웨어적으로 처리할 수 있는 집적회로로서, 주로 디지털 신호를 고속으로 처리하기 위하여 덧셈, 뺄셈, 곱셈 등의 반복 연산을 고속으로 처리할 수 있는 회로를 채용하고 있다.

도 1은 종래의 DSP의 예시적인 구성도이다.

도시되듯이 종래의 DSP는 제어 유닛(110), 어드레스 생성 유닛(120), 데이터 연산 유닛(130)과 메모리(140)를 포함하고 있으며, 데이터 버스(160) 및/또는 프로그램 버스(150)를 채택하여 데이터 및/또는 프로그램 데이터의 교환을 수행한다.

제어 유닛(110)은 인스트럭션(Instruction)을 포함하는 프로그램과 데이터를 메모리(140)로부터 로딩하여 디코딩한 후 어드레스 생성 유닛(120), 데이터 연산 유닛(130)에 전송하여 인스트럭션에 해당하는 작업을 수행하도록 하며, 이를 위해서 프로그램 카운터, 인스트럭션 레지스터, 인스트럭션 디코더 등의 구성을 포함하고 있다.

어드레스 생성 유닛(120)은 제어 유닛(120)으로부터 데이터를 전송받아 어드레스를 생성한다.

데이터 연산 유닛(130)은 제어 유닛(120)으로부터 데이터를 전송받아 어드레스를 생성한다. 이러한 작업 수행을 위해서 MAC(multiply and accumulation) 등의 구성 요소를 포함한다.

메모리(140)는 데이터와 프로그램을 저장하며 제어 유닛(110), 어드레스 생성 유닛(120), 데이터 연산 유닛(130)과 데이터 버스(160) 및/또는 프로그램 버스(150)를 사용하여 통신한다.

이 밖에도 종래의 DSP는 메모리 제어기, 온칩 RAM, 온칩 PLL 등의 구성요소를 포함할 수 있다.

이러한 종래의 DSP는 인스트럭션 세트와 연계된 아키텍처로 구성되어 있다. 따라서 다양한 종류의 인스트럭션을 기반으로 설계가 되기 때문에 DSP 설계의 유용성을 제공하지만 로직이 비대화를 가져오기 때문에 SoC에 DSP 기능을 집적하는 경우에는 필요없는 인스트럭션에 대한 처리까지 내장하는 결과를 가져온다.

즉 특정 분야의 응용에 필요한 기능을 중심으로 SoC에 내장하는 경우 비효율적이며 하드웨어와 소프트웨어의 연계 개발 시 기능면에서 중복성(redundancy)이 많이 발생하게 된다. 또한 컴파일러나 어셈블러 등의 소프트웨어 개발환경의 개발에 따른 경비 역시 증가하게 된다.

따라서 이러한 DSP 코어를 SoC내에 집적하는 경우 효율적인 방안에 대한 필요성이 커지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 종래의 DSP 구조가 범용 DSP로 설계되어서 어떠한 구조로 설계되던지 간에 다양한 인스트럭션 세트를 기반으로 동작하도록 구성됨으로써 시스템-온-칩(SoC)에 내장하는 경우 비효율적인 단점을 개선하여 DSP를 기능 블록으로 구분하고 인스트럭션 세트를 각 기능블록에 종속적인 마이크로코드 체계로 설계하여 각 기능블록이 독립적으로 운용될 수 있도록 설계하고 이러한 기능 블록을 기존의 DSP 데이터 버스 등에 연계하도록 구성함으로써 SoC 내장에 적합하고 프로세서 전체의 성능을 효율적으로 향상시키며 소프트웨어/하드웨어 혼합 설계를 간편하게 하는 모듈형 디지털 신호 프로세서 블록 및 이를 이용한 시스템-온-칩을 제공하는 데 있다.

발명의 구성

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 모듈형 디지털 신호 프로세서 블록은 디지털 신호 프로세서의 기능을 연산기, 비트 연산기, 승산기, 태스크 엔진 또는 레지스터 파일 등으로 구분하여 각각의 기능을 별도의 모듈형 디지털 신호 프로세레지스터 파일로 구분하여 각각의 기능을 별도의 모듈형 디지털 신호 프로세서 블록으로 구현한 모듈형 디지털 신호 프로세서 블록에 있어서, 상기 모듈형 디지털 신호 프로세서 블록을 주처리장치(CPU)의 버스에 연결하여 데이터 송수신 인터페이스를 수행하는 버스 랙; 상기 모듈형 디지털 신호 프로세서 블록에서 구현하고 있는 기능에 종속적인 인스트럭션 세트 구성된 마이크로프로그램을 저장하는 마이크로프로그램 모듈; 상기 마이크로프로그램 내의 상기 인스트럭션 세트를 마이크로코드 제어 신호로 변환하는 마이크로코드 모듈; 상기 마이크로코드 모듈의 마이크로코드 제어 신호에 의해 디지털 연산을 수행하는 연산 모듈; 및 상기 연산 모듈에서 생성되는 데이터의 저장이나 이동을 위해 상기 데이터를 임시적으로 저장하는 레지스터 파일을 포함하는 것을 특징으로 한다.

본 발명에 따른 모듈형 디지털 신호 프로세서 블록에 있어서, 상기 모듈형 디지털 신호 프로세서 블록은, 상기 주처리장치(CPU)의 버스를 통하여 인에이블되는 경우에만 활성화되는 것이 바람직하다.

또한 본 발명에 따른 모듈형 디지털 신호 프로세서 블록에 있어서, 상기 모듈형 디지털 신호 프로세서 블록은, 시스템-온-칩의 구성요소로 내장되는 것이 바람직하다.

또한 본 발명은 시스템-온-칩으로서, 주처리장치와, 버스 인터페이스와, 복수개의 본 발명에 따른 모듈형 디지털 신호 프로세서 블록을 포함하는 시스템-온-칩을 제공한다.

본 발명에 따른 시스템-온-칩에 있어서, 상기 복수개의 모듈형 디지털 신호 프로세서 블록 각각은, 디지털 신호 프로세서(DSP)의 기능을 연산기, 비트 연산기, 승산기, 태스크 엔진 또는 레지스터 파일 등으로 구분하여 각각의 기능을 별도의 모듈형 디지털 신호 프로세서 블록으로 구성하는 것이 바람직하다.

또한 본 발명에 따른 시스템-온-칩에 있어서, 상기 복수개의 모듈형 디지털 신호 프로세서 블록 각각은, 다른 모듈형 디지털 신호 프로세서 블록에 대해서 독립적으로 운용되는 것이 바람직하다.

또한 본 발명에 따른 시스템-온-칩에 있어서, 상기 시스템-온-칩은, 상기 복수개의 모듈형 디지털 신호 프로세서 블록의 개수를 필요에 따라 조절하여 시스템-온-칩 내에 내장하는 것이 바람직하다.

이하, 본 발명의 모듈형 디지털 신호 프로세서 블록을 도면을 참조로 하여 보다 구체적으로 설명한다.

도 2는 본 발명에 따른 모듈형 디지털 신호 프로세서 블록의 블록도이다.

도시되었듯이 본 발명에 따른 모듈형 디지털 신호 프로세서 블록은 버스 랙(bus rack, 210)과, 마이크로프로그램 모듈(220)과, 마이크로 코드 모듈(230)과, 복수의 연산 모듈(240a 내지 240c)과, 레지스터 파일(250)을 포함한다.

본 발명에 따른 모듈형 디지털 신호 프로세서 블록은 DSP를 연산기, 비트 연산기, 승산기(multiplier), 태스크 엔진, 레지스터 파일 등으로 기능적으로 구분하고 각각의 기능을 별도의 모듈형 디지털 신호 프로세서 블록으로 구성하며 각 모듈형 디지털 신호 프로세서 블록은 구현하려는 기능에 따라 인스트럭션 세트를 구분하여 간략화하게 설계하는 것에 의해서 효율적으로 SoC에 집적할 수 있도록 구성된다.

각 기능에 따라 구분된 인스트럭션 세트는 각 블록에 종속적인 마이크로코드로 설계되며, 따라서 각 블록은 다른 블록에 대해서 독립적으로 운용된다.

버스 랙(210)은 본 발명에 따른 모듈형 디지털 신호 프로세서 블록을 메인 CPU 등의 주처리장치의 버스에 연결하여 데이터 송수신 인터페이스를 수행한다. 일반적으로 CPU의 버스 규격은 예컨대 ARM사의 AMBA 버스 규격이 많이 사용된다. 만약 다른 버스 규격으로 설계된다면 이를 인터페이스하는 회로가 필요하며 본 발명에 따른 모듈형 디지털 신호 프로세서 블록에 있어서 버스 랙(210)은 버스 규격에 대한 인터페이스를 수행한다. 이러한 버스 랙(210)을 통하여 본 발명에 따른 모듈형 디지털 신호 프로세서 블록이 CPU 등의 주처리장치에 연결되는 경우 복수개의 모듈형 디지털 신호 프로세서 블록 중에서 필요한 부분만 CPU의 버스 규격을 통하여 운영되도록 한다.

마이크로프로그램 모듈(220)은 본 발명에 따른 모듈형 디지털 신호 프로세서 블록에 종속적인 인스트럭션 세트로 구성된 마이크로프로그램을 저장한다.

마이크로프로그램은 CPU가 어떤 명령을 수행할 수 있도록 하는 일련의 제어 기능을 프로그램으로 바꾸어 특수한 기억장치 속에 저장해 놓은 것을 의미한다. 즉 일반적인 컴퓨터의 중앙처리장치(CPU)는 메모리에서 명령을 꺼내어 해독하고, 그에 따라 필요한 자료를 메모리에서 판독하여 산술연산을 하거나 결과를 메모리에 기억시키는 일을 한다.

일반적으로 CPU는 먼저 인스트럭션 세트를 정한 다음에 그것에 맞추어 전용 전자회로를 설계해서 만든다. 이러한 전자회로는 자료를 기록하기 위한 레지스터와 가산기, 감산기와 같은 연산회로 및 그것들을 바른 조합과 순서로 작용시키기 위한 제어회로로 구성된다.

마이크로프로그램은 이러한 CPU의 기능을 제어회로로 만드는 것이 아니라, 그 기능을 초소형 컴퓨터(마이크로프로세서)에 프로그램으로 작성하고, 이에 의하여 CPU가 기능을 발휘하도록 할 수 있다. 마이크로프로그램을 이용해서 CPU를 만들면 전용회로를 만드는 것보다 회로 구성이 단순해지고, 명령의 변경이나 추가할 일이 생기더라도 마이크로프로그램만을 바꾸면 회로를 바꾸지 않아도 되는 이점이 있다.

본 발명에 따른 마이크로프로그램 모듈(220)은 이러한 마이크로프로그램이 모듈형 디지털 신호 프로세서에 적용된 것으로서, 모듈형 디지털 신호 프로세서에 종속적인 인스트럭션 세트를 구성하여 이를 이용하여 마이크로프로그램을 작성하여 저장한 것이다.

마이크로프로그램은 마이크로프로그램 모듈(220)에 저장되며, CPU 등의 주처리장치에서 본 발명에 따른 모듈형 디지털 신호 프로세서 블록을 인에이블하는 경우 독자적으로 마이크로프로그램이 수행될 수 있도록 구성된다.

마이크로코드 모듈(230)은 상기 마이크로프로그램 모듈(220)에서 구성된 인스트럭션 세트에 따라 제어 신호를 생성한다.

일반적으로 마이크로코드는 대개 주소를 지정해 호출할 수 있는 프로그램이 아니며 결선에 의한 논리회로와는 달리 수정이 가능한 코드이다. 마이크로코드는 PROM이나 EPROM 등의 저장장치의 내용을 사용자가 고침으로써 간편하게 변경될 수 있다

본 발명에 따른 마이크로코드 모듈(230)에서는 마이크로프로그램 모듈(220)내의 인스트럭션 세트를 통해서 작성된 마이크로프로그램을 연산 모듈(240a 내지 240c)에서 인식 가능한 제어 신호로 변환하는 역할을 한다.

예컨대 AND 또는 OR 인스트럭션인 경우라면, 마이크로코드는 입력 노드, 인에이블/디스에이블, 출력 노드 등으로 구성이 되며, AND 또는 OR 인스트럭션의 기능을 기술하는 것에 의해서 마이크로코드가 합성될 수 있다.

연산 모듈(240a 내지 240c)은 마이크로코드 모듈(230)에서 생성된 제어 신호에 의해서 예컨대 가감승제 등의 계산부분이나 기타 논리 처리와 같은 연산을 수행한다.

레지스터 파일(250)은 연산 모듈(240a 내지 240c)의 연산 도중에 생성되는 데이터의 저장이나 이동을 위해 데이터를 임시적으로 저장하는 데이터 저장공간이다. 본 발명에 따른 모듈형 디지털 신호 프로세서 블록이 독자적인 레지스터 파일(250)을 포함하고 있으므로 결과 및 입력 데이터의 독립적인 운영이 가능하다.

본 발명에 따른 모듈형 디지털 신호 프로세서 블록은 컴파일러 없이 설계자의 수작업 코드로 실행이 가능하다. 즉 인스트럭션이 각 모듈형 디지털 신호 프로세서 블록에 종속적이고 그 개수가 작으므로 모듈형 디지털 신호 프로세서 블록이 연결된 주처리 장치(CPU)에서는 인스트럭션의 개수를 최소화할 수 있다.

시스템-온-칩을 구현하는 데 있어서, 본 발명에 따른 모듈형 디지털 신호 프로세서 블록을 사용하여 구성하는 경우, 주처리장치와, 버스 인터페이스와, 모듈형 디지털 신호 프로세서 블록을 포함한다.

이러한 경우, 모듈형 디지털 신호 프로세서 블록은 디지털 신호 프로세서(DSP)의 기능을 연산기, 비트 연산기, 승산기, 태스크 엔진 또는 레지스터 파일 등으로 구분하여 각각의 기능을 별도의 모듈형 디지털 신호 프로세서 블록으로 구성한다.

예컨대, 제1 모듈형 디지털 신호 프로세서 블록은 태스크 엔진, 제2 모듈형 디지털 신호 프로세서 블록은 레지스터 파일 등으로 구성할 수 있을 것이다.

이러한 복수개의 모듈형 디지털 신호 프로세서 블록 각각은 그 기능면에서 독립적이기 때문에 다른 모듈형 디지털 신호 프로세서 블록에 대해서 독립적으로 운영된다.

또한 시스템-온-칩 설계에 있어서, DSP 전체 기능을 내장하는 것 보다는 필요시마다 각 기능에 따라 복수개의 모듈형 디지털 신호 프로세서 블록을 선택하여 내장함으로써 효율적으로 SoC 설계를 수행할 수 있다.

비록 본 발명이 구성이 구체적으로 설명되었지만 이는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 보호 범위가 이들에 의해 제한되는 것은 아니며, 본 발명의 보호 범위는 청구범위의 기재를 통하여 정하여진다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면 종래의 DSP 구조가 범용 DSP로 설계되어서 어떠한 구조로 설계되던지 간에 다양한 인스트럭션 세트를 기반으로 동작하도록 구성됨으로써 시스템-온-칩(SoC)에 내장하는 경우 비효율적인 단점을 개선하여 DSP를 기능 블록으로 구분하고 인스트럭션 세트를 각 기능블록에 종속적인 마이크로코드 체계로 설계하여 각 기

능블록이 독립적으로 운용될 수 있도록 설계하고 이러한 기능 블록을 기존의 DSP 데이터 버스 등에 연계하도록 구성함으로써 SoC 내장에 적합하고 프로세서 전체의 성능을 효율적으로 향상시키며 소프트웨어/하드웨어 혼합 설계를 간편하게 한다.

도면의 간단한 설명

도 1은 종래의 DSP의 예시적인 구성도.

도 2는 본 발명에 따른 모듈형 디지털 신호 프로세서 블록의 블록도.

<도면의 주요부분에 대한 부호의 설명>

110: 제어 유닛 120: 어드레스 생성 유닛

130: 데이터 연산 유닛 140: 메모리

150: 프로그램 버스 160: 데이터 버스

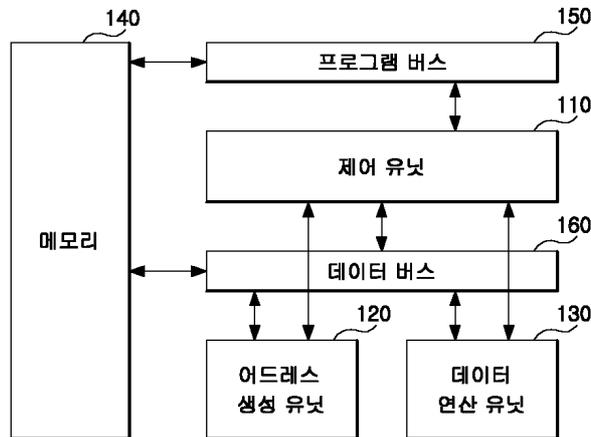
210: 버스 랙 220: 마이크로프로그램 모듈

230: 마이크로코드 모듈 240a 내지 240c: 연산 모듈

250: 레지스터 파일

도면

도면1



도면2

