



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월16일
 (11) 등록번호 10-0821918
 (24) 등록일자 2008년04월07일

(51) Int. Cl.

G06F 7/00 (2006.01)

(21) 출원번호 10-2005-0045063
 (22) 출원일자 2005년05월27일
 심사청구일자 2005년05월27일
 (65) 공개번호 10-2006-0122520
 (43) 공개일자 2006년11월30일
 (56) 선행기술조사문헌
 KR1020060005292 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
전자부품연구원
 경기도 성남시 분당구 야탑동 68번지
 (72) 발명자
이승은
 경기 성남시 분당구 야탑동 68
정용무
 경기 성남시 분당구 야탑동 68
최중찬
 경기 성남시 분당구 야탑동 68
 (74) 대리인
특허법인지명

전체 청구항 수 : 총 6 항

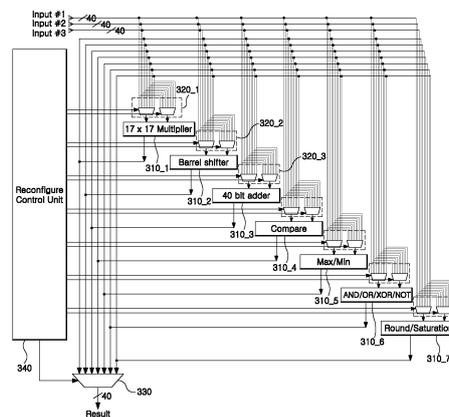
심사관 : 한선경

(54) 데이터 경로의 재구성이 가능한 디지털 신호 처리기

(57) 요약

본 발명은 데이터 경로의 재구성이 가능한 디지털 신호 처리기에 관한 것으로서, 단위 연산을 수행하는 복수개의 산술 논리 유닛과; 상기 각 산술 논리 유닛에 대하여 하나의 명령어 워드에 포함된 다수개의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택하는 한 쌍의 입력 멀티플렉서와; 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 하나를 선택하여 출력하는 출력 멀티플렉서와; 상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 제어하는 재구성 제어 유닛을 포함한다. 본 발명에 따르면, 데이터 경로에 포함된 각각의 로직 유닛(산술 논리 유닛)을 명령어의 필요에 따라 실시간으로 재구성함으로써, DSP에 유연성을 부여함과 동시에 그 성능을 향상시킬 수 있다. 이에 따라, 특정 용도의 연산 처리에 필요한 데이터 경로를 실시간 재구성할 수 있기 때문에, 고성능의 신호 처리기 구현에 사용될 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

입력 및 출력 데이터 경로의 동적 구성이 가능한 디지털 신호 처리기로서,

단위 연산을 수행하는 복수개의 산술 논리 유닛과,

상기 각 산술 논리 유닛에 대하여, 하나의 명령어 워드에 의하여 연산이 지시된 다수개의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택하는 한 쌍의 입력 멀티플렉서와,

상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 하나를 선택하여 출력하는 출력 멀티플렉서와,

상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 제어하는 제어 유닛

을 포함하는 디지털 신호 처리기.

청구항 2

제1항에 있어서, 상기 제어 유닛은

상기 다수개의 입력 데이터에 대하여 복수개의 단위 연산을 수행하도록 상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 하나의 클럭 사이클 동안에 제어하는 것인 디지털 신호 처리기.

청구항 3

제2항에 있어서, 상기 한 쌍의 입력 멀티플렉서는

상기 하나의 명령어 워드에 의하여 연산이 지시된 셋 이상의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택하는 것인 디지털 신호 처리기.

청구항 4

디지털 신호 처리기에서 단위 연산을 수행하는 복수개의 산술 논리 유닛 사이의 데이터 경로를 동적으로 구성하는 데이터 경로 장치로서,

상기 각 산술 논리 유닛에 대하여, 하나의 명령어 워드에 의하여 연산이 지시된 다수개의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택하는 한 쌍의 입력 멀티플렉서와,

상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 하나를 선택하여 출력하는 출력 멀티플렉서와,

상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 제어하는 제어 유닛

을 포함하는 데이터 경로 장치.

청구항 5

제4항에 있어서, 상기 제어 유닛은

상기 다수개의 입력 데이터에 대하여 복수개의 단위 연산을 수행하도록 상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 하나의 클럭 사이클 동안에 제어하는 것인 데이터 경로 장치.

청구항 6

제5항에 있어서, 상기 한 쌍의 입력 멀티플렉서는

상기 하나의 명령어 워드에 의하여 연산이 지시된 셋 이상의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택하는 것인 데이터 경로 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <5> 본 발명은 고성능 디지털 신호처리기(Digital Signal Processor, 이하 DSP)에 관한 것으로서, 응용 분야에 따라 데이터 경로를 재구성 하여 고성능 신호 처리 시스템에 적용 가능한 디지털 신호처리기의 재구성 가능 구조에 관한 것이다.
- <6> 일반적으로, DSP는 신호처리 및 연산을 위하여 데이터 경로(Data Path)를 포함하고 있으며, 연산은 이러한 데이터 경로를 통해 이루어진다.
- <7> 도 1은 종래 VLIW(Very Long Instruction Word) 기반의 병렬 처리 DSP의 블록 다이어그램으로서, 도시된 바와 같이 프로그램 메모리(도시되지 않음)로부터 프로그램 버스(Program Bus)(110)를 경유하여 명령어(Instruction)를 수신하고 해당 명령어에 따른 연산을 수행하도록 제어하는 제어 유닛(Control Unit)(120)과, 상기 제어 유닛에 의하여 해독된 명령어에 따라 주소 연산을 수행하는 주소 생성 유닛(Address Generation Unit)(130)과, 상기 제어 유닛에 의하여 해독된 명령어에 따라 데이터 연산을 수행하는 데이터 연산 유닛(Data Arithmetic Unit)(140)과, 상기 제어 유닛과 주소 생성 유닛 및 데이터 연산 유닛 간의 데이터 교환을 위한 데이터 버스(Data Bus)(150)로 구성되어 있다.
- <8> 먼저, 제어 유닛(Control Unit)(120)은 실행 중인 명령어의 주소가 저장되는 프로그램 카운터(Program Counter)(122)와, DSP 내부의 상태 정보 및 명령어 루프의 지시(참조)값을 저장하는 상태 레지스터 및 루프 레지스터(Status Register/Loop Register)(124)와, 명령어를 해독하여 수행 연산 및 이에 사용할 주소 또는 데이터를 추출하는 명령어 디코더(Instruction Decoder)(126)로 구성되어 있다.
- <9> 주소 발생 유닛(130)은 주소 연산을 수행하는 N 개의 주소 연산 유닛(AAU, Address Arithmetic Unit)(132_1, 132_2, ..., 132_N)을 서브유닛으로서 구비하여 동시에 N 개의 주소 연산을 수행할 수 있으며, 주소 연산에 필요한 주소 및 연산 결과를 저장하는 주소 레지스터 파일(134)이 마련되어 있다.
- <10> 데이터 연산 유닛(140)은 M 개의 데이터 경로 유닛(Data Path Unit)(142_1, 142_2, ..., 142_M)을 서브유닛으로서 구비하여 최대 M 개의 로직 연산을 수행할 수 있다. 또한, 데이터 연산 유닛(140)은 전술한 주소 발생 유닛(130)과 유사하게 데이터 연산에 필요한 데이터 및 그 연산 결과를 저장하는 레지스터 파일(144)을 추가로 구비하며, 각 데이터 경로 유닛(142_1, 142_2, ..., 142_M)은 레지스터 파일(144)에 저장된 데이터를 이용하여 특정 연산을 수행하도록 데이터 연산 유닛(140)의 내부에 마련된 논리 연산 유닛 사이에 데이터 경로를 구성한다.
- <11> 이와 같은 DSP의 동작을 살펴보면, 먼저 프로그램 메모리로부터 읽은 명령어를 명령어 해독기(126)가 해독하고, 내부 레지스터 파일(144)은 데이터 메모리(도시되지 않음)로부터 해당 데이터를 로딩한다. 연산은 레지스터 파일(144)의 데이터를 기반으로 데이터 경로 유닛 내부의 데이터 경로(Data Path)를 따라 수행된다.
- <12> 그런데, 전술한 종래의 DSP는 명령어(Instruction) 체계 및 그 응용 분야에 따라 사전에 설계된 고정 데이터 경로를 내장하고 있으며, 예컨대, 종래 DSP의 데이터 경로는 명령어 처리를 위해, 곱셈기, 시프터, 덧셈기, 비교기, 최대/최소 연산기, 로직연산 (AND/OR/XOR/NOT) 등의 산술 논리 유닛을 그 용도에 따라 고정된 회로로 내장하고 있다.
- <13> 도 2는 전술한 바와 같이 고정된 데이터 경로의 일례를 도시한 것이다.
- <14> 도 2에 도시된 바와 같이, 예컨대, 곱셈 및 덧셈 (MAC/ Multiply and Accumulation) 연산을 위한 데이터 경로는 레지스터 파일(도 1의 144)로부터 출력된 데이터는 곱셈기(210) 및 레프트 시프터(1-bit left shifter)(220)를 거친 후 ALU(230)에서 덧셈 연산을 진행 할 수 있다. 즉, 이와 같은 데이터 경로에 의하면, 하나의 데이터 경로를 통해 곱셈 후 덧셈 연산을 수행할 수는 있으나, 덧셈 후 곱셈을 처리하기 위해서는 두 번의 데이터 경로 연산을 요구한다.
- <15> 이와 같이, 종래의 DSP 구조는 데이터 경로가 이미 고정되어 있기 때문에, 하나의 클럭 사이클 동안에 데이터 경로를 따라 미리 지정된 유형의 연산만을 수행할 수 있으며, 미리 지정된 연산 이외의 연산은 클럭 사이클을 반복하여야 하는 단점이 있다. 즉, 종래의 DSP 구조에 있어서 연산의 유형에 따른 유연성의 결여는 시급히 해결되어야 할 문제라 할 것이다.

발명이 이루고자 하는 기술적 과제

<16> 전술한 문제점을 해결하고자, 본 발명은 DSP의 데이터 경로에 요구되는 각 세부 연산 로직의 순서를 동적으로 재배열할 수 있도록 구성함으로써, DSP가 하나의 클럭 사이클 동안 처리할 수 있는 명령의 수를 증가시키고, 이를 통해 DSP의 성능을 향상시키는 데 그 목적이 있다.

발명의 구성 및 작용

<17> 전술한 목적을 달성하기 위하여, 본 발명의 제1 측면에 따르면, 데이터 경로의 재구성이 가능한 디지털 신호 처리기가 제공되며, 단위 연산을 수행하는 복수개의 산술 논리 유닛과; 상기 각 산술 논리 유닛에 대하여 하나의 명령어 워드에 의하여 연산이 지시된 다수개의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택하는 한 쌍의 입력 멀티플렉서와; 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 하나를 선택하여 출력하는 출력 멀티플렉서와; 상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 제어하는 재구성 제어 유닛을 포함한다.

<18> 이 때 바람직하게는, 상기 재구성 제어 유닛이 상기 다수개의 입력 데이터에 대하여 복수개의 단위 연산을 하나의 클럭 사이클 동안에 수행하도록 상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 하나의 클럭 사이클 동안에 함께 제어할 수 있다.

<19> 더욱 바람직하게는, 상기 한 쌍의 입력 멀티플렉서가 상기 하나의 명령어 워드에 의하여 연산이 지시된 셋 이상의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택할 수 있다.

<20> 본 발명의 제2 측면에 따르면, 디지털 신호 처리기에서 단위 연산을 수행하는 복수개의 산술 논리 유닛 사이의 데이터 경로를 재구성하는 데이터 경로 장치가 제공되며, 상기 각 산술 논리 유닛에 대하여 하나의 명령어 워드에 의하여 연산이 지시된 다수개의 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 당해 산술 논리 유닛에 입력되는 데이터를 선택하는 입력 멀티플렉서와; 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 하나를 선택하여 출력하는 출력 멀티플렉서와; 상기 출력 멀티플렉서 및 상기 입력 멀티플렉서의 데이터 선택을 제어하는 재구성 제어 유닛을 포함한다.

<21> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명토록 한다.

<22> 도 3은 본 발명의 바람직한 실시예에 따라 복수개의 산술 논리 유닛 사이에 재구성 가능한 데이터 경로를 제공하는 데이터 경로 유닛을 도시한 것으로서, DSP 또는 재구성 가능 칩(Reconfigurable Chip) 내부에 마련될 수 있다. 그리고 도 4는 도 3의 데이터 경로 유닛에 접속되는 산술 논리 유닛을 구체적으로 예시한 것이다.

<23> 도 3을 참조하면, 본 발명의 바람직한 실시예에 따라 재구성 가능한 데이터 경로를 구비한 데이터 경로 유닛은 단위 연산을 수행하는 복수개의 산술 논리 유닛(310_1, 310_2, ..., 310_N)과, 입력 데이터 및 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 각 산술 논리 유닛에 입력되는 데이터를 선택하여 출력하는 한 쌍의 입력 멀티플렉서(320_1, 320_2, ..., 320_N)와, 상기 복수개의 산술 논리 유닛의 출력 데이터 중에서 하나를 선택하여 출력하는 출력 멀티플렉서(330)와, 상기 출력 멀티플렉서 및 입력 멀티플렉서의 데이터 선택을 제어하는 재구성 제어 유닛(Reconfiguration Control Unit)(340)으로 이루어져 있다.

<24> 상기 복수개의 산술 논리 유닛(310_1 내지 310_N)으로는 단위 연산을 수행하며, 예컨대, 도 4에 도시된 바와 같이 각각 곱셈기(310_1), 시프터(Barrel Shifter)(310_2), 덧셈기(310_3), 비교기(310_4), 최대/최소 연산기(310_5), 논리 연산기(AND/OR/XOR/NOT)(310_6) 및 라운드/포화 연산기(Round/Saturation)(310_7)를 포함할 수 있다. 그리고 이들 산술 논리 유닛(310_1 내지 310_N)의 입력단에는 한 쌍의 입력 멀티플렉서(320_1, 320_2, ..., 320_N)가 상호 대응하도록 연결되어 있다.

<25> 다시 도 3을 참조하면, 한 쌍의 입력 멀티플렉서(320_1, 320_2, ..., 320_N)에는 기 설명한 레지스터 파일(도시되지 않음)로부터 액세스되는 세 개의 입력 데이터(Input #1, Input #2, Input #3)와 산술 논리 유닛(310_1 내지 310_N)으로부터 출력되는 데이터가 각각 입력되며, 재구성 제어 유닛(340)으로부터 입력되는 제어 신호에 따라 이들 중에서 하나의 데이터를 각각 선택될 수 있다.

<26> 출력 멀티플렉서(330)는 재구성 제어 유닛(340)으로부터 입력되는 제어 신호에 따라, 상기 복수개의 산술 논리 유닛(310_1 내지 310_N)으로부터 출력되는 데이터 중에서 하나를 선택한다.

- <27> 재구성 제어 유닛(340)은 전술한 출력 멀티플렉서 및 입력 멀티플렉서의 데이터 선택을 동시에 일괄적으로 제어함으로써, 특정 산술 논리 유닛에 의해 수행된 연산 결과가 다른 산술 논리 유닛의 입력으로 사용될 수 있도록 하며, 최종적으로 연산이 완료된 결과를 선택하여 출력하도록 구성된다. 예컨대, 도 4에 도시된 바와 같이 곱셈기(310_1)에 대응하는 한 쌍의 입력 멀티플렉서(320_1)의 경우에는, 하나의 명령어 워드에 의하여 연산이 지시된 세 개의 입력 데이터(Input #1, Input #2, Input #3) 중에서 두 개의 데이터를 선택하여 곱셈기(310_1)에 입력할 수 있으며, 곱셈기(310)로부터 출력되는 데이터는 다시 각 입력 멀티플렉서에 입력됨으로써 타 연산을 연속하여 수행할 수 있다.
- <28> 한편, 상기 재구성 제어 유닛(340)은 명령어 디코더에 의하여 해석된 명령어에 따라, 하나의 클럭 사이클에 동안에 상기 출력 멀티플렉서 및 입력 멀티플렉서의 데이터 선택을 동시에 제어함으로써, VLIW(Very Long Instruction Word) 기반의 명령어를 하나의 클럭 사이클 동안에 처리할 수 있다.
- <29> 이와 같이, 도 3의 데이터 경로는 각 산술 논리 유닛의 입/출력을 멀티플렉서를 이용해 선택할 수 있으며, 이들 멀티플렉서는 제어유닛의 통제를 받도록 되어 있다. 이에 따라, 각 산술 논리 유닛 간의 데이터 경로를 재구성할 수 있는 것이다.
- <30> 다음으로, 도 4에 예시된 재구성 가능 데이터 경로의 동작을 몇 개의 명령어를 가지고 설명하면 다음과 같다.
- <31> 1. Inst1 Aa, Ab, An ($A_n = A_a * A_b + A_n$)
- <32> Inst1 연산을 위해서는 곱셈기(310_1)와 덧셈기(310_3)를 포함하는 데이터 경로를 구성하면 된다. 이 때, 곱셈기(310_1)의 입력은 하나의 명령어 워드에 의하여 연산이 지시된 입력 데이터 Aa, Ab, An (도 3의 Input #1, Input #2, Input #3에 각각 대응함) 중에서 Aa와 Ab를 입력으로 취한다. 그리고 덧셈기(310_3)는 한 쌍의 입력 멀티플렉서(320_3)에 의하여 각각 선택된 곱셈기 출력값과 An을 입력받고, 해당 연산을 수행한다. 최종적으로, 덧셈기(310_3)의 연산 결과는 출력 멀티플렉서(330)에 의해 선택되어 출력된다. 만약, Round나 Saturation 연산이 요구되면, Round/Saturation 유닛(310_7)을 덧셈기(310_3)의 다음 데이터 경로로서 포함시킬 수 있다.
- <33> 2. Inst2 Aa, Ab, An ($A_n = A_a \text{ AND } A_b + A_n$)
- <34> Inst2 연산을 위해서는 로직 연산기(310_6)와 덧셈기(310_3)를 포함하는 연산기를 구성한다. 이 때, 로직 연산기(310_6)는 레지스터 파일로부터 들어오는 입력 Aa, Ab, An 중에 Aa와 Ab를 입력으로 취한다. 그리고 덧셈기(310_3)는 입력 데이터로서 로직 연산기(310_6)의 출력 데이터와 입력 데이터 An을 취하여, 연산을 수행한다. 수행 결과는 출력 멀티플렉서(330)에 의해 선택된다.
- <35> 한편, 전술한 실시예에서, 입력 데이터(Input #1, Input #2, Input #3) 및 산술 논리 유닛(310_1 내지 310_N)의 입출력 데이터는 복수의 비트로 구성될 수 있다. 예컨대, 도 4를 참조하면, 입력 데이터(Input #1, Input #2, Input #3)가 40 비트로 각각 구성되고 있음을 기호로 표시하였으며, 당해 기술 분야에서 통상의 지식을 가진 자라면 산술 논리 유닛의 입출력 데이터도 이에 대응하여 복수의 비트 라인으로 구성됨을 이해할 것이다.
- <36> 그리고 본 발명에 따른 데이터 경로 유닛은 VLIW 기반의 명령어 체계에 적용될 수 있으며, 이 때 레지스터 파일로부터 입력되는 셋 이상의 입력 데이터에 대하여 복수개의 단위 연산을 하나의 클럭 사이클 동안에 처리할 수 있다.
- <37> 이상에서 본 발명에 따른 바람직한 실시예를 설명하였으나, 이는 예시적인 것에 불과하며 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 여타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 보호 범위는 이하의 특허청구범위에 의해서 정해져야 할 것이다.

발명의 효과

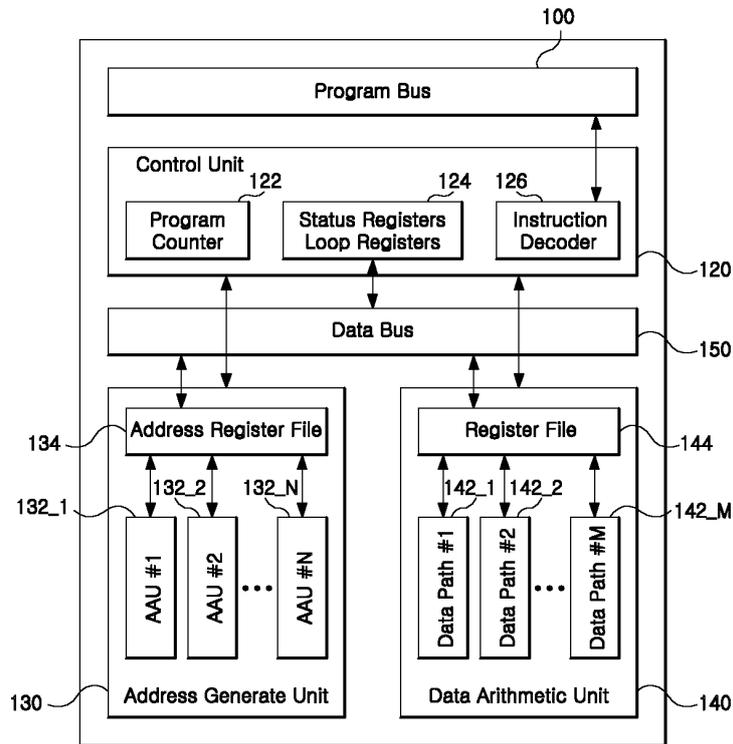
- <38> 이상 설명한 바와 같이, 본 발명에 따르면 예시의 방법과 같이 데이터 경로에 포함된 각각의 로직 유닛을 명령어 필요에 따라 실시간으로 재구성 하여 DSP에 유연성을 부여함과 동시에 그 성능을 향상시킬 수 있다. 이에 따라, 특정 용도의 연산 처리에 필요한 데이터 경로를 실시간 재구성함으로써 고성능의 신호 처리기 구현에 사용될 수 있다.
- <39> 더 나아가, 본 발명에 따라 제안된 재구성 가능 데이터 경로를 내장한 DSP는 내부 연산기의 재구성을 통해 DSP의 명령어에 따라 재구성된 데이터 경로를 사용함으로써, 명령어를 1 사이클 동안에 수행할 수 있게 할 뿐만 아니라, 명령어 체계의 재구성도 지원할 수 있다.

도면의 간단한 설명

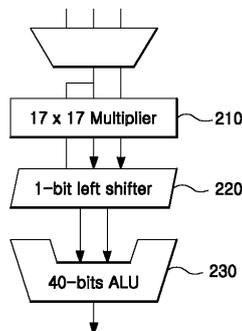
- <1> 도 1은 종래 VLIW 기반의 병렬 처리 DSP의 블록 다이어그램.
- <2> 도 2는 도 1의 DSP에서 고정된 데이터 경로의 예시도.
- <3> 도 3은 본 발명의 바람직한 실시예에 따라 DSP 내부의 재구성 가능한 데이터 경로를 제공하는 데이터 경로 유닛의 예시도.
- <4> 도 4는 도 3의 데이터 경로 유닛에 접속되는 산술 논리 유닛을 구체적으로 예시한 도면.

도면

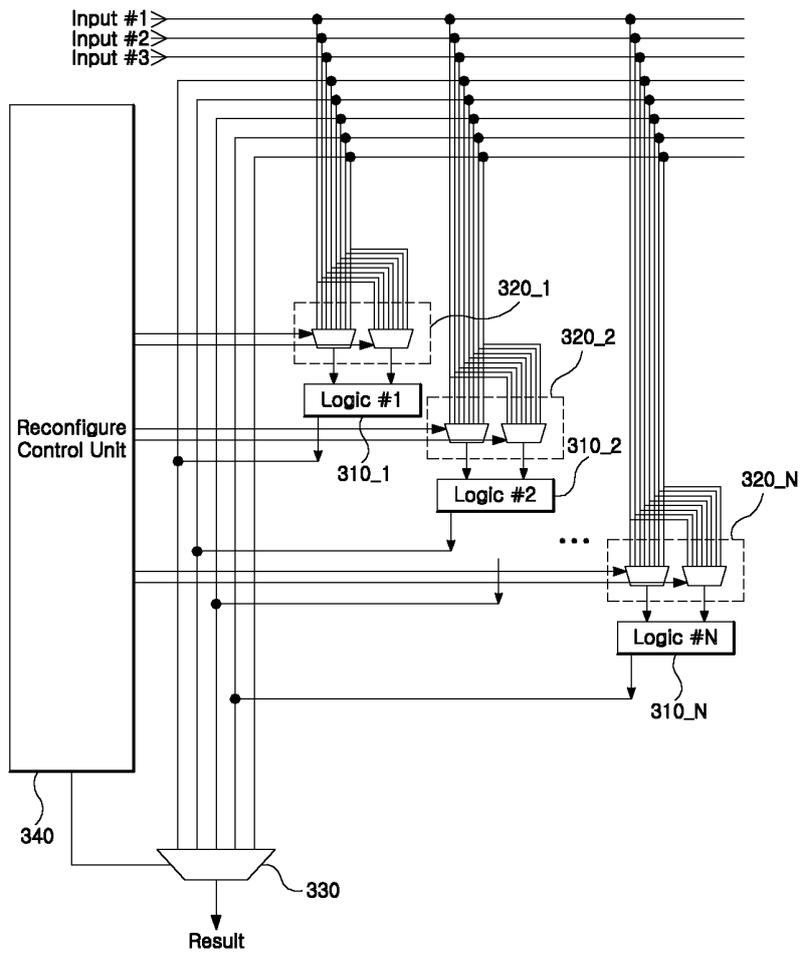
도면1



도면2



도면3



도면4

