



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월17일
 (11) 등록번호 10-1191673
 (24) 등록일자 2012년10월10일

(51) 국제특허분류(Int. Cl.)
G06F 11/10 (2006.01) *H04L 1/00* (2006.01)
 (21) 출원번호 10-2012-0038034
 (22) 출원일자 2012년04월12일
 심사청구일자 2012년04월12일
 (56) 선행기술조사문헌
 “Adaptive Error Control for NoC Switch-to-Switch Links in a Variable Noise Environment”, Qiaoyan Yu 외 1인, IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems, 2008.*
 JP10135934 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
서울과학기술대학교 산학협력단
 서울특별시 노원구 공릉로 232 (공릉동, 서울과학기술대학교)
 (72) 발명자
이승은
 서울특별시 강서구 가양동 한강타운아파트 106-601
 (74) 대리인
김정현

전체 청구항 수 : 총 4 항

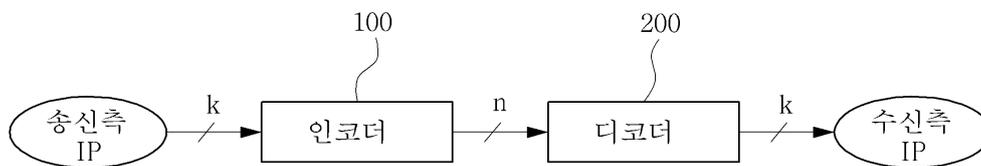
심사관 : 이정은

(54) 발명의 명칭 **네트워크 온 칩 기반 적응적 에러 정정 장치**

(57) 요약

본 발명은 네트워크 온 칩(NoC, Network-on-Chip) 기반 적응적 에러 정정 장치에 관한 것으로서, 본 발명은 송신측 IP(intellectual Property)와 수신측 IP 간에 플릿(flit)을 전달하는 네트워크 인터페이스(Network Interface, NI)를 지원하는 네트워크 온 칩(Network on chip, NOC) 기반 적응적 에러 정정 장치에 있어서, 상기 송신측 IP로부터 k(자연수) 비트의 플릿(flit)을 수신하여 n(자연수) 비트의 데이터로 인코딩(encoding)하는 인코더(encoder) 및 상기 n 비트의 데이터를 수신하여 상기 k 비트의 플릿으로 디코딩(decoding)하여 출력하고, 상기 n 비트의 데이터에 대한 에러를 정정하기 위한 에러 정정 회로를 포함하는 디코더(decoder)를 포함하되, 상기 에러 정정 회로는 상기 수신된 데이터의 비트수(n)에 따라 가변적인 에러 정정 능력(error correction capability)을 갖는 t(자연수) 비트의 적응적 에러 정정 코드(error correction code)를 적용한다. 본 발명에 의하면 NoC 내부의 네트워크 인터페이스에서의 에러 정정 회로에 있어서, 디코더에 수신되는 신호의 비트수에 따라 가용 에러 정정 코드의 크기를 적응적으로 결정함으로써, 에러 정정 장치의 전력 소모를 줄이면서 신뢰성을 확보할 수 있는 효과가 있다.

대표도 - 도1



특허청구의 범위

청구항 1

송신측 IP(intellectual Property, 지능소자)와 수신측 IP 간에 플릿(flit)을 전달하는 네트워크 인터페이스(Network Interface, NI)를 지원하는 네트워크 온 칩(Network on chip, NOC) 기반 적응적 에러 정정 장치에 있어서,

상기 송신측 IP로부터 k(자연수) 비트의 플릿(flit)을 수신하여 n(자연수) 비트의 데이터로 인코딩(encoding)하는 인코더(encoder); 및

상기 n 비트의 데이터를 수신하여 상기 k 비트의 플릿으로 디코딩(decoding)하여 출력하고, 상기 n 비트의 데이터에 대한 에러를 정정하기 위한 에러 정정 회로를 포함하는 디코더(decoder)를 포함하되,

상기 에러 정정 회로는 상기 수신된 데이터의 비트수(n)에 따라 가변적인 에러 정정 능력(error correction capability)을 갖는 t(자연수) 비트의 적응적 에러 정정 코드(error correction code)를 적용하고, 상기 수신된 데이터의 비트수(n)에 비례하는 에러 정정 능력을 갖고, 상기 수신된 데이터의 비트수(n)에 비례하는 비트수를 갖는 t비트 에러 정정 코드를 적용하는 회로인 것임을 특징으로 하는 네트워크 온 칩 기반 적응적 에러 정정 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 에러 정정 장치는 OLSC(Orthogonal Latin Square Codes)를 기반으로 이루어지는 것임을 특징으로 하는 네트워크 온 칩 기반 적응적 에러 정정 장치.

청구항 4

제3항에 있어서,

상기 인코더는 상기 k비트의 플릿이 입력단에 입력되는 제1 배타적 논리합(exclusive OR) 게이트인 것을 특징으로 하는 네트워크 온 칩 기반 적응적 에러 정정 장치.

청구항 5

제4항에 있어서,

상기 디코더는,

상기 k 비트의 플릿 중 일부 비트와 에러 정정을 위한 체크 비트가 입력되는 하나 이상의 제2 배타적 논리합 게이트와,

상기 제2 배타적 논리합 게이트에서 출력되는 신호가 입력되고, 입력된 신호 중, 입력의 과반수를 초과하는 비트가 하이레벨인 경우 하이레벨 값을 출력하고, 입력의 과반수를 초과하는 비트가 로우레벨인 경우 로우레벨 값을 출력하는 다수결 판정기(Majority Voter)를 포함하는 것을 특징으로 하는 네트워크 온 칩 기반 적응적 에러 정정 장치.

명세서

기술분야

[0001] 본 발명은 네트워크 온 칩(NoC, Network-on-Chip) 기반 적응적 에러 정정 장치에 관한 것이다.

배경기술

[0002] 컴퓨터, 통신, 방송 등이 점차 통합되는 컨버전스(Convergence)화에 따라, 기존 ASIC(Application Specific IC: 주문형 반도체)과 ASSP(Application-Specific Standard Product: 특정용도 표준제품)의 수요가 SoC(System-on-Chip)로 전환되어 가고 있는 추세이다. 또한, IT(Information Technology)기기의 경박 단소화 및 고기능화 추세도 SoC 산업을 촉진시키는 요인이 되고 있다.

[0003] SoC는 기존의 여러가지 기능을 가진 복잡한 시스템을 하나의 칩으로 구현한 기술 집약적 반도체 기술이다. SoC의 현실화를 위해 많은 기술들이 연구되고 있으며, 특히 칩 내에 내재되어 있는 여러 지능소자(Intellectual Property: IP)들을 연결하는 방안이 매우 중요한 사항으로 대두되고 있다.

[0004] IP들을 연결하기 위한 기술로는 버스를 기반으로 한 연결 방식이 주를 이루고 있는 실정이다. 그러나, 칩의 집적도가 높아지고 IP간의 정보 흐름의 양이 급격히 증가함에 따라, 버스구조를 이용한 SoC는 그 구조적 한계에 도달하였다.

[0005] 이와 같이 버스구조를 이용한 SoC의 구조적 한계를 해소하기 위한 방안으로, 일반적인 네트워크 기술을 칩 내에 응용하여 IP들을 연결하는 방식인 NoC(Network-on-Chip) 기술이 새롭게 제시되었다.

[0006] NoC는 기존 버스 구조의 구조적 한계를 극복하고자 만들어진 네트워크 형태(network style)의 OCI(On-Chip Interconnect)로서, NoC를 통해 고속/고성능/저전력의 SoC를 구현할 수 있다.

[0007] 종래 NoC에서는 데이터 송수신시 에러(error)를 정정하기 위한 에러 정정 코드(error correction code) 또는 에러 정정 회로(error correction circuit)를 적용한다. 이처럼 에러 정정 코드 또는 회로를 적용하여 데이터 송수신시 에러 비트를 체크하고 원 비트로 정정하여 출력하게 된다.

[0008] 종래 NoC에서 대용량의 데이터 전송시 에러를 체크하거나, 신뢰성(Reliability)을 보장하기 위해서는, 다수의 에러 체크 비트를 포함하는 대 용량의 에러 정정 능력을 갖춘 에러 정정 회로를 필요로 한다. 그러나, 대용량의 에러 정정 능력을 갖춘 에러 정정 회로를 구비하면, 전체 SoC가 무거워지고, 전력(Power) 소모가 크다는 단점이 있다.

[0009] 반대로, 작은 용량의 에러 정정 능력을 갖는 에러 정정 회로에서는 전력 소모는 줄일 수 있으나, 상대적으로 신뢰성이 떨어진다는 단점이 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, NoC 기반 네트워크 인터페이스에서 전력 소모와 신뢰성을 모두 고려하여 효율적으로 에러 정정 능력을 조절할 수 있는 적응적 에러 정정 장치를 제공하는 데 그 목적이 있다.

[0011] 본 발명의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 이와 같은 목적을 달성하기 위한 본 발명은 송신측 IP(intellectual Property)와 수신측 IP 간에 플릿(flit)을 전달하는 네트워크 인터페이스(Network Interface, NI)를 지원하는 네트워크 온 칩(Network on chip, NOC) 기

반 적응적 에러 정정 장치에 있어서, 상기 송신측 IP로부터 k (자연수) 비트의 플릿(flit)을 수신하여 n (자연수) 비트의 데이터로 인코딩(encoding)하는 인코더(encoder) 및 상기 n 비트의 데이터를 수신하여 상기 k 비트의 플릿으로 디코딩(decoding)하여 출력하고, 상기 n 비트의 데이터에 대한 에러를 정정하기 위한 에러 정정 회로를 포함하는 디코더(decoder)를 포함하되, 상기 에러 정정 회로는 상기 수신된 데이터의 비트수(n)에 따라 가변적인 에러 정정 능력(error correction capability)을 갖는 t (자연수) 비트의 적응적 에러 정정 코드(error correction code)를 적용한다.

- [0013] 상기 에러 정정 회로는 상기 수신된 데이터의 비트수(n)에 비례하는 에러 정정 능력을 갖고, 상기 수신된 데이터의 비트수(n)에 비례하는 비트수를 갖는 t 비트 에러 정정 코드를 적용하는 회로일 수 있다.
- [0014] 상기 에러 정정 장치는 OLSC(Orthogonal Latin Square Codes)를 기반으로 이루어질 수 있다.
- [0015] 상기 인코더는 상기 k 비트의 플릿이 입력단에 입력되는 배타적 논리합(exclusive OR) 게이트로 이루어질 수 있다.
- [0016] 그리고, 상기 디코더는 상기 k 비트의 플릿 중 일부 비트와 에러 정정을 위한 체크 비트가 입력되는 하나 이상의 배타적 논리합 게이트와, 상기 논리합 게이트에서 출력되는 신호가 입력단에 입력되고, 입력된 신호 중, 입력의 과반수를 초과하는 비트가 하이레벨인 경우 하이레벨 값을 출력하고, 입력의 과반수를 초과하는 비트가 로우레벨인 경우 로우레벨 값을 출력하는 다수결 판정기(Majority Voter)를 포함할 수 있다.

발명의 효과

- [0017] 본 발명에 의하면 NoC 내부의 네트워크 인터페이스에서의 에러 정정 회로에 있어서, 디코더에 수신되는 신호의 비트수에 따라 가용 에러 정정 코드의 크기를 적응적으로 결정함으로써, 에러 정정 장치의 전력 소모를 줄이면서 신뢰성을 확보할 수 있는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 네트워크 온 칩 기반 적응적 에러 정정 장치의 개념을 보여주는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 OLSC 방식에서 에러 정정 능력이 1비트인 경우의 인코더를 보여주는 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 OLSC 방식에서 에러 정정 능력이 1비트인 경우의 디코더를 보여주는 블록도이다.
- 도 4는 본 발명의 일 실시예에 따른 OLSC 방식에서 플릿 데이터가 64비트 일 때의 에러 정정 능력이 1비트 내지 4비트로 가변적인 경우의 디코더를 보여주는 블록도이다.

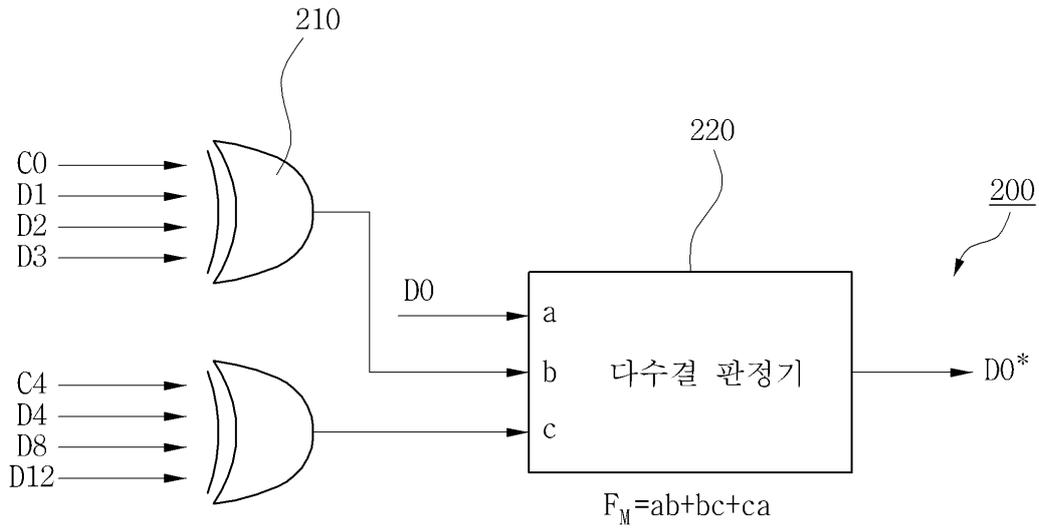
발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조해서 본 발명의 실시예를 상세히 설명하면 다음과 같다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 그리고, 본 발명을 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 명세서 전반에 걸쳐서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.
- [0020] 본 발명은 네트워크 온 칩(Network on chip, NOC) 기반 네트워크 인터페이스(Network Interface, NI)를 전제로 한다. 즉 본 발명은 송신측 IP(intellectual Property)와 수신측 IP 간에 플릿(flit)을 전달하는 네트워크 인터페이스(Network Interface, NI)를 지원하는 적응적(adaptive) 에러 정정 장치에 관한 것이다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 네트워크 온 칩 기반 적응적 에러 정정 장치의 개념을 보여주는

블록도이다.

- [0022] 도 1을 참조하면, 본 발명의 적응적 에러 정정 장치는 인코더(100) 및 디코더(200)를 포함한다.
- [0023] 인코더(encoder)(100)는 송신측 IP(Intellectual Property)로부터 k(자연수) 비트의 플릿(flit)을 수신하여 n(자연수) 비트의 데이터로 인코딩(encoding)한다.
- [0024] 디코더(decoder)(200)는 인코더(100)로부터 n 비트의 데이터를 수신하여 k 비트의 플릿으로 디코딩(decoding)하여 출력하고, n 비트의 데이터에 대한 에러를 정정하기 위한 에러 정정 회로를 포함한다.
- [0025] 디코더(200)에서 출력된 k 비트의 플릿은 수신측 IP에 전달된다.
- [0026] 본 발명에서 에러 정정 회로는 수신된 데이터의 비트수(n)에 따라 가변적인 에러 정정 능력(error correction capability)을 갖는 t(자연수) 비트의 적응적 에러 정정 코드(error correction code)를 적용한다.
- [0027] 본 발명의 일 실시예에서 에러 정정 회로는 수신된 데이터의 비트수(n)에 비례하는 에러 정정 능력을 갖고, 수신된 데이터의 비트수(n)에 비례하는 비트수를 갖는 t비트 에러 정정 코드를 적용하는 회로일 수 있다.
- [0028] 본 발명에서 에러 정정 장치는 다양한 에러 정정 코드로 구현될 수 있다.
- [0029] 본 발명에서 다양한 에러 정정 코드 중에서 OLSC(Orthogonal Latin Square Codes)를 기반으로 하는 실시예를 제안하고자 한다.
- [0030] 도 2는 본 발명의 일 실시예에 따른 OLSC 방식에서 16비트 플릿에 대한 실시예로서, 에러 정정 능력이 1비트인 경우의 인코더를 보여주는 블록도이다.
- [0031] 도 2를 참조하면, 인코더(100)는 4비트의 데이터가 입력되어 체크 비트(check bit) C0를 생성하는 배타적 논리합(exclusive OR) 게이트(110)로 이루어진다. 즉, 배타적 논리합 게이트(110)에는 D0, D1, D2, D3의 4비트의 데이터가 입력되어 체크 비트 C0를 생성하게 된다. 그리고, 다른 체크비트 C1, C2 등도 마찬가지로 생성될 수 있다.
- [0032] 도 3은 본 발명의 일 실시예에 따른 OLSC 방식에서 에러 정정 능력이 1비트인 경우의 디코더를 보여주는 블록도이다.
- [0033] 도 3을 참조하면, 디코더(200)는 k 비트의 플릿 중 일부 비트와 에러 정정을 위한 체크 비트가 입력되는 하나 이상의 배타적 논리합 게이트(210)와, 논리합 게이트(210)에서 출력되는 신호가 입력단에 입력되고, 입력된 신호 중, 입력의 과반수를 초과하는 비트가 하이레벨인 경우 하이레벨 값을 출력하고, 입력의 과반수를 초과하는 비트가 로우레벨인 경우 로우레벨 값을 출력하는 다수결 판정기(Majority Voter)(220)를 포함하여 이루어진다.
- [0034] 도 3의 실시예에서 2개의 배타적 논리합 게이트(210)가 구비되는데, C0, D1, D2, D3가 1번 배타적 논리합 게이트에 입력되고, C4, D4, D8, D12가 2번 배타적 논리합 게이트에 입력된다.
- [0035] 다수결 판정기(220)에는 3개의 입력단(a, b, c)과 출력단(F_M)을 구비하고 있다. 다수결 판정기(220)에서 a 입력단에는 D0가 입력되고, b 입력단에는 1번 배타적 논리합 게이트의 출력신호가 입력되고, c 입력단에는 2번 배타적 논리합 게이트의 출력신호가 입력된다.
- [0036] 다수결 판정기(220)는 $F_M = ab + bc + ca$ 의 함수가 적용되며, 이러한 함수에 따라 출력단(F_M)에서는 에러 정정을 한 D0*가 출력된다.
- [0037] 참고로, 다수결 판정 회로를 구현하는 종래의 방식에는, 가산기(adder)를 이용하여 모든 이진수 입력값을 합산한 뒤, 입력 개수의 반에 해당하는 값을 초과하면 하이레벨이 되도록 하는 산술에 기초를 둔 구조(arithmetic-based design)와, 맥스(mux)를 이용하여 입력의 일부를 맥스의 제어 입력으로 사용하고, 나머지 입력값을 연산하여 출력값을 얻도록 하는 분해에 기초를 둔 구조(decomposition-based design) 등이 있다.
- [0038] 도 4는 본 발명의 일 실시예에 따른 OLSC 방식에서 플릿 데이터가 64비트 일 때의 에러 정정 능력이 1비트 내지 4비트로 가변적인 경우의 디코더를 보여주는 블록도이다.
- [0039] 도 4는 도 2 및 도 3의 실시예를 확장한 실시예로서, OLSC 방식에서 에러 정정 능력이 1비트 내지 4비트로 가변적인 경우의 실시예이다.

도면3



도면4

