



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월16일
(11) 등록번호 10-1297484
(24) 등록일자 2013년08월09일

(51) 국제특허분류(Int. Cl.)
G06F 11/28 (2006.01) G11C 29/00 (2006.01)
GO1R 31/26 (2006.01) GO1R 31/317 (2006.01)
(21) 출원번호 10-2013-0031252
(22) 출원일자 2013년03월25일
심사청구일자 2013년03월25일
(56) 선행기술조사문헌
JP05052912 A*
KR1020110081832 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
서울과학기술대학교 산학협력단
서울특별시 노원구 공릉로 232 (공릉동, 서울과학기술대학교)
(72) 발명자
이승은
서울특별시 강서구 가양동 한강타운아파트 106-601
정영섭
강원도 춘천시 우석로 15
(74) 대리인
김정현

전체 청구항 수 : 총 2 항

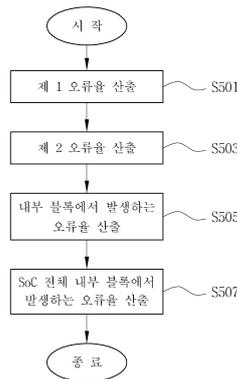
심사관 : 이정은

(54) 발명의 명칭 SoC에서의 오류 모델링 방법

(57) 요약

본 발명은 하나 이상의 내부 블록으로 구성되는 SoC(System on Chip)에서의 오류 모델링 방법에 있어서, 어느 한 내부 블록의 내부에서 발생하는 오류로 인하여 해당 내부 블록의 출력신호에 발생하는 오류인 제1 오류율을 산출하는 단계, 해당 내부 블록에 입력되는 입력신호에서 발생한 오류가 해당 내부 블록을 통과하여 출력신호에 발생시키는 오류인 제2 오류율을 산출하는 단계, 상기 제1 오류율과 제2 오류율을 합하여 해당 내부 블록에서 발생하는 오류율을 산출하는 단계 및 나머지 내부 블록에서 발생하는 오류율을 산출하여, SoC를 구성하는 전체 내부 블록에서 발생하는 오류율을 산출하는 단계를 포함한다. 본 발명에 의하면 SoC 설계 및 검증에 필수적인 오류 모델을 개발하는데 있어서, 효율적인 SoC의 오류 모델링 방법을 제안함으로써, 오류 모델링 수행 시간의 단축과, 완성된 오류 모델을 이용하여 구현되는 SoC의 오류 검증 플랫폼의 검증 시간을 단축할 수 있는 효과가 있다.

대표도 - 도5



특허청구의 범위

청구항 1

하나 이상의 내부 블록으로 구성되는 SoC(System on Chip)에서의 오류 모델링 방법에 있어서,

어느 한 내부 블록의 내부에서 발생하는 오류로 인하여 해당 내부 블록의 출력신호에 발생하는 오류인 제1 오류율을 산출하는 단계;

해당 내부 블록에 입력되는 입력신호에서 발생한 오류가 해당 내부 블록을 통과하여 출력신호에 발생시키는 오류인 제2 오류율을 산출하는 단계;

상기 제1 오류율과 제2 오류율을 합하여 해당 내부 블록에서 발생하는 오류율을 산출하는 단계; 및

나머지 내부 블록에서 발생하는 오류율을 산출하여, SoC를 구성하는 전체 내부 블록에서 발생하는 오류율을 산출하는 단계를 포함하되,

상기 제1 오류율을 산출하는 단계는, 해당 내부 블록에 오류가 인가된 경우의 해당 내부 블록의 출력신호 결과값을 저장하는 단계 및 해당 내부 블록의 정상 동작 시의 출력신호 결과값과 상기 오류가 인가된 경우의 해당 내부 블록의 출력신호 결과값을 비교하는 방식으로 모델링을 수행하는 단계를 포함하고,

상기 제2 오류율을 산출하는 단계는, 해당 내부 블록에 입력되는 다수의 입력 중에서 오류가 없는 정상 상태의 해당 내부 블록의 출력신호 결과값을 저장하는 단계 및 해당 내부 블록에 오류가 있는 입력신호가 인가된 경우의 해당 내부 블록의 출력신호 결과값과, 상기 정상 상태의 출력신호 결과값을 비교하는 방식으로 모델링을 수행하는 단계를 포함하여 이루어지는 것을 특징으로 하는 SoC에서의 오류 모델링 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

하나 이상의 내부 블록으로 구성되는 SoC(System on Chip)에서의 오류 모델링 방법에 있어서,

어느 한 내부 블록의 내부에서 발생하는 오류로 인하여 해당 내부 블록의 출력신호에 발생하는 오류인 제1 오류율을 산출하는 단계;

해당 내부 블록에 입력되는 입력신호에서 발생한 오류가 해당 내부 블록을 통과하여 출력신호에 발생시키는 오류인 제2 오류율을 산출하는 단계;

상기 제1 오류율과 제2 오류율을 합하여 해당 내부 블록에서 발생하는 오류율을 산출하는 단계; 및

나머지 내부 블록에서 발생하는 오류율을 산출하여, SoC를 구성하는 전체 내부 블록에서 발생하는 오류율을 산출하는 단계를 포함하되,

해당 내부 블록과 동일한 제2 내부 블록을 마련하고,

해당 내부 블록은 정상 동작을 수행하도록 하고, 제2 내부 블록은 오류 상황에서의 동작을 수행하도록 하며, 해당 내부 블록과 제2 내부 블록에 정상적인 입력신호를 인가하여 해당 내부 블록의 출력 결과와 제2 내부 블록의 출력 결과를 비교하는 방식으로 제1 오류율을 산출하고,

해당 내부 블록에 정상적인 입력신호를 인가하고, 제2 내부 블록에는 오류가 발생한 입력신호를 인가하여 해당 내부 블록의 출력 결과와 제2 내부 블록의 출력 결과를 비교하는 방식으로 제2 오류율을 산출하는 것을 특징으로 하는 SoC에서의 오류 모델링 방법.

명세서

기술분야

[0001] 본 발명은 SoC의 오류 모델링 방법에 관한 것으로서, 더욱 상세하게는 SoC의 설계 및 검증에 필수적인 오류 모델을 개발하는데 있어서, 대상 시스템 반도체의 오류 모델을 수행하는 방법과 신뢰성을 확보하기 위하여 대상 시스템에 적용된 오류 회피 및 복구 방법의 효율성을 검증하기 위한 시스템과 오류 검증 플랫폼의 구현 방법에 관한 것이다.

배경 기술

[0002] 반도체 제조 공정 기술의 발전으로 고집적도 구현이 가능해짐에 따라 여러 가지 반도체 부품, 예를 들어, 프로세서, 메모리, 주변 장치 등을 하나의 칩에 구현하는 시스템 온 칩(System on Chip, SoC)이 제안되고 있다.

[0003] SoC는 전체 시스템을 칩 하나에 담은 반도체를 말하는 것으로서, 연산 기억 데이터 전환 소자 등 주요 반도체 소자가 하나의 칩에 구현되는 기술을 의미한다. 즉, 컴퓨터 중앙처리장치(CPU), 디지털 신호처리 칩(DSP), 마이크로 컨트롤러(MCU) 등을 하나의 반도체 다이에 통합하여, 칩 자체가 하나의 시스템이 되도록 하는 것이다. 이처럼 여러가지 기능을 가진 반도체가 하나의 칩으로 통합되면 보드 공간이 크게 줄어들어 시스템 몸집이 대폭 줄어들게 되어서, 각종 전자시스템들의 크기를 축소시킬 수 있다. 또한 여러개의 반도체를 별도로 만드는 것에 비해 반도체 제조비용이 훨씬 저렴해지고 전체 시스템 가격도 낮아진다.

[0004] 따라서 모든 부품 기능을 하나의 칩에 집적하는 SoC 기술은 고성능·저비용·소형화로 집약되는 첨단 디지털시대의 핵심 부품기술로 떠오르고 있다. 이러한 SoC에 대한 지속적인 성능 향상으로 하나의 칩에 포함되는 반도체 부품의 수가 점차적으로 증가하고 있어서, SoC의 결함 여부를 검출하기 위한 테스트의 중요성이 대두되고 있다.

[0005] SoC는 Cosmic Ray Particle, 전원 잡음, crosstalk, 등의 환경 변화에 의해 고장을 초래할 수 있으며, 디지털 회로를 파괴하지 않으면서 일시적으로 정상 동작을 방해하는 오류를 소프트 오류(Soft Error)라 한다.

[0006] 1962년 cosmic ray particle이 회로에 오류를 일으킬 수 있다고 예견되었으며, 1975년 처음으로 cosmic ray에 의한 회로의 오동작(failure)이 보고되었다. 1978년 지표면에서 SRAM의 오류가 관측되어 이를 해결하고자 하는 연구와, 오류 모델링이 시작되었다.

[0007] SoC에 있어서, 전원 잡음 (Voltage Drop)은 radiation에 기인하는 오류율을 증가시키는데 상당히 기여하고 있으며, 온도 잡음 (Thermal Noise) 또한 회로의 정상 동작을 저해하는 오류의 원인이다. 이외 다양한 외부 환경의 변화는 SoC 반도체의 정상 동작을 저해하며 오류를 발생시킨다.

[0008] 이와 같이 다양한 원인에 기인한 회로의 오류는 SoC의 정상 동작을 방해하여 실제 고장(failure)으로 나타날 수도 있으며, 또는 회로 내부에서 차폐되어 정상동작될 수도 있다.

[0009] 도 1은 SoC에서 회로 내부의 차폐(Masking) 관련 회로를 보여주는 도면이다. 도 1에서 (a)는 Logic Masking이고, (b)는 Temporal Masking이고, (c)는 Electrical Masking이다.

[0010] 도 1에서 보는 바와 같이, SoC에서 발생하는 회로의 오류는 회로 내부에서 Logic Masking, Temporal Masking, 또는 Electrical Masking 으로 차폐되어 정상 동작될 수도 있다.

[0011] 이에, SoC에 오류가 발생하는 빈도, 위치, 및 시간에 대한 모델링 뿐만 아니라, 단일 또는 다수의 오류로 인하여 SoC에서 발생하는 고장(failure) 여부에 대한 모델링이 요구된다.

[0012] 회로(Circuit) 레벨에서의 모델링은 상용 시뮬레이터를 사용하여 오류 모델링을 수행하기 용이하며, 시뮬레이션 환경에서 회로 내부의 노드 값들을 변경 및 모니터링하는데 용이한 반면, 회로 레벨의 오류 모델을 기반으로 상대적으로 복잡한 SoC의 내고장형 설계 방법의 효율성을 검증하는데 시간이 많이 요구된다.

[0013] 게이트 레벨에서의 오류 모델링은 SoC에 사용되는 게이트의 종류별로 오류 모델링을 수행하여, 각각의 게이트의 오류 모델링을 시뮬레이션할 때 사용하거나, 분석적인 방법으로 도출하는데 용이하며, SoC의 넷리스트(netlist)에 적용하여 fault injection 플랫폼 개발이 상대적으로 쉬운 편이나, SoC 레벨에서 내고장형 설계 방법의 효율성을 검증하는데 시간이 오래 걸린다.

[0014] 칩 레벨에서의 오류 모델링은 상위 레벨에서의 모델링을 수행함으로써 분석적인 방법을 기반으로 하여 상위 레벨에서의 시뮬레이션으로 모델링이 가능하고, 또한 도출된 모델이 상대적으로 간단하여 오류검증 플랫폼의 개발 및 내고장형 설계 방법의 검증 시간이 적게 걸리는 반면, 칩 레벨에서의 오류 유무를 판단하여 SoC를 구성하는 내부 블록들의 오류에 대한 동작을 분석하기에는 어려움이 있다.

선행기술문헌

특허문헌

[0015] (특허문헌 0001) 한국공개특허 10-2011-0071254

발명의 내용

해결하려는 과제

[0016] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, SoC 설계 및 검증에 필수적인 오류 모델을 개발하는데 있어서, 대상 시스템 반도체의 효율적인 오류 모델을 수행하는 방법과 신뢰성을 확보하기 위하여 대상시스템에 적용된 오류 회피 및 복구 방법의 효율성을 검증하기 위한 시스템의 오류 검증 플랫폼의 구현 방법을 제공하는데 그 목적이 있다.

[0017] 본 발명의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0018] 이와 같은 목적을 달성하기 위한 본 발명은 하나 이상의 내부 블록으로 구성되는 SoC(System on Chip)에서의 오류 모델링 방법에 있어서, 어느 한 내부 블록의 내부에서 발생하는 오류로 인하여 해당 내부 블록의 출력신호에 발생하는 오류인 제1 오류율을 산출하는 단계, 해당 내부 블록에 입력되는 입력신호에서 발생한 오류가 해당 내부 블록을 통과하여 출력신호에 발생시키는 오류인 제2 오류율을 산출하는 단계, 상기 제1 오류율과 제2 오류율을 합하여 해당 내부 블록에서 발생하는 오류율을 산출하는 단계 및 나머지 내부 블록에서 발생하는 오류율을 산출하여, SoC를 구성하는 전체 내부 블록에서 발생하는 오류율을 산출하는 단계를 포함한다.

[0019] 상기 제1 오류율을 산출하는 단계는 해당 내부 블록에 입력되는 다수의 입력 중에서 오류가 없는 정상 상태의 해당 내부 블록의 출력신호 결과값을 저장하는 단계, 해당 내부 블록에 오류가 있는 입력신호가 인가된 경우의 해당 내부 블록의 출력신호 결과값과, 상기 정상 상태의 출력신호 결과값을 비교하는 방식으로 모델링을 수행하는 단계를 포함하여 이루어질 수 있다.

[0020] 상기 제2 오류율을 산출하는 단계는 해당 내부 블록에 오류가 인가된 경우의 해당 내부 블록의 출력신호 결과값을 저장하는 단계, 해당 내부 블록의 정상 동작 시의 출력신호 결과값과 상기 오류가 인가된 경우의 해당 내부 블록의 출력신호 결과값을 비교하는 방식으로 모델링을 수행하는 단계를 포함하여 이루어질 수 있다.

[0021] 해당 내부 블록과 동일한 제2 내부 블록을 마련하고, 해당 내부 블록과, 제2 내부 블록 중에서 어느 하나의 블록은 정상 동작을 수행하도록 하고, 나머지 하나의 블록은 오류 상황에서의 동작을 수행하도록 하는 방식으로 상기 제1 오류율 및 제2 오류율을 산출할 수 있다.

발명의 효과

[0022] 본 발명에 의하면 SoC 설계 및 검증에 필수적인 오류 모델을 개발하는데 있어서, 효율적인 SoC의 오류 모델링 방법을 제안함으로써, 오류 모델링 수행 시간의 단축과, 완성된 오류 모델을 이용하여 구현되는 SoC의 오류 검증 플랫폼의 검증 시간을 단축할 수 있는 효과가 있다.

[0023] 본 발명에서는 대상 SoC에 적용된 오류 회피 및 복구 방법의 효율성을 검증하기 위하여 시스템의 오류 검증 플랫폼이 사용되는데, 본 발명의 오류 모델링 방법은 각 블록과 SoC의 출력단에서의 오류율 정보를 제공하는 효과가 있다.

[0024] 또한, 블록의 출력단에서의 오류율 정보를 내장한 오류 검증 플랫폼 개발은 내부 블록의 오류율을 포함한 모의 실험이 필요하지 않기 때문에, 검증 모의실험 시간을 단축할 수 있을 뿐 아니라, 플랫폼의 개발 시간도 단축할 수 있는 효과가 있다.

도면의 간단한 설명

[0025] 도 1은 SoC에서 회로 내부의 차폐(Masking) 관련 회로를 보여주는 도면이다.

도 2는 본 발명의 일 실시예에 따른 SoC의 구성을 보여주는 블록도이다.

도 3은 본 발명의 다른 실시예에 따른 SoC의 구성을 보여주는 블록도이다.

도 4는 본 발명의 일 실시예에 따른 내부 블록들과 연결망 정보를 이용하여 도 2에 도시된 SoC의 오류 모델링을 수행하는 방법을 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 SoC에서의 오류 모델링 방법을 보여주는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부된 도면을 참조해서 본 발명의 실시예를 상세히 설명하면 다음과 같다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 그리고, 본 발명을 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 명세서 전반에 걸쳐서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[0027] 본 발명은 시스템 온 칩(System on Chip, SoC)에서의 오류 모델링 방법에 관한 것이다.

[0028] 본 발명은 SoC를 구성하는 내부 블록 레벨에서의 오류 모델링을 수행하고, 이들 블록들의 연결망 정보를 이용하여 분석적인 방법을 이용하여 전체 SoC의 오류 모델을 완성한다.

[0029] 도 2는 본 발명의 일 실시예에 따른 SoC의 구성을 보여주는 블록도이다.

[0030] 도 2를 참조하면, SoC(100)에 입력신호는 I1과 I2이다. 본 발명에서 I1과 I2는 여러 비트 또는 단일 비트로 이루어질 수 있다. 설명의 편의상 내부 블록 A로의 입력을 I1, 내부 블록 D로의 입력을 I2로 나타낸다.

[0031] 내부 블록은 A, B, C, D의 블록이 있으며, 각 블록 사이는 a, b, c, d의 연결망으로 연결되어 있다. 본 발명에서 a, b, c, d의 연결망은 여러 비트 또는 단일 비트로 이루어질 수 있다.

[0032] SoC의 출력신호는 O1과 O2 이며, 내부 블록 C로부터의 출력을 O1, 내부 블록 D로부터의 출력을 O2로 나타낸다.

[0033] 도 2의 실시예에서 4개의 내부 블록과 2세트의 입력을 사용하여 설명하지만, 본 발명은 이에 한정되는 것은 아니며, 실시예에 따라 블록의 개수와 입출력 세트의 개수는 제한되지 않음은 당연하다.

[0034] 내부 블록 A, B, C, D 중에서 내부 블록 A에 대하여 오류 모델링 과정을 설명하면 다음과 같다.

[0035] 내부 블록 A는 I1의 입력과 a 와 b의 출력을 가지고 있다. 즉, 내부 블록 A의 오류 모델은 다음의 4가지 경우로 기술될 수 있다.

[0036] 1. $P_A(I1,a)$: 입력 I1에서 발생한 오류가 A 블록을 통과하여 출력 a에 오류를 발생시키는 경우.

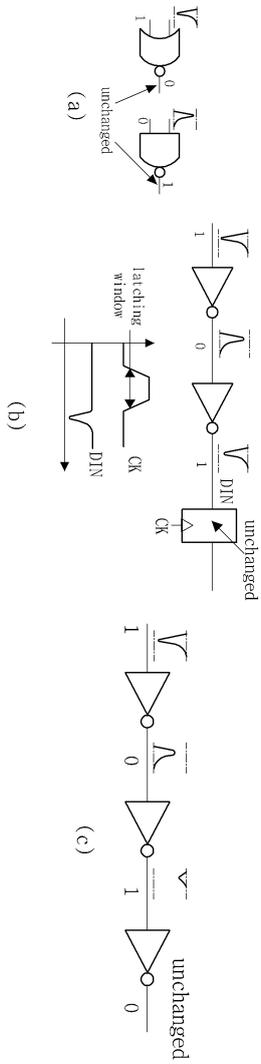
[0037] 2. $P_A(I1,b)$: 입력 I1에서 발생한 오류가 A 블록을 통과하여 출력 b에 오류를 발생시키는 경우.

[0038] 3. $P_A(A,a)$: 내부 블록 A의 내부에서 발생한 오류가 출력 a에 오류를 발생시키는 경우.

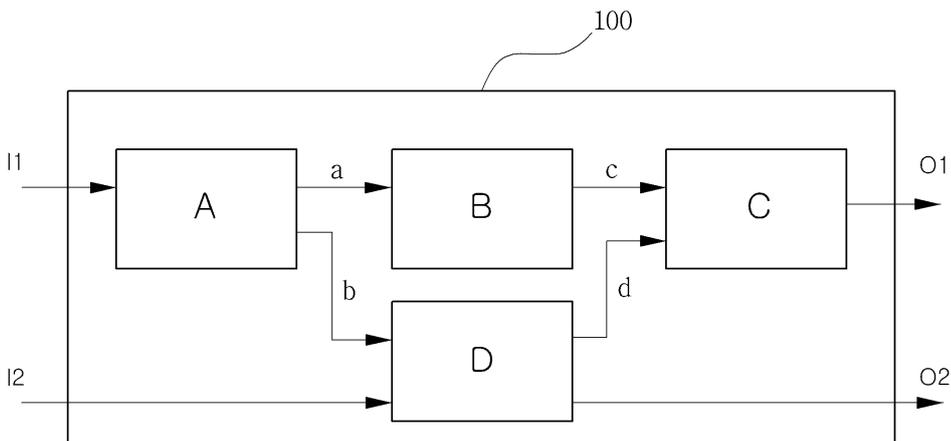
- [0039] 4. $P_A(A,b)$: 내부 블록 A의 내부에서 발생한 오류가 출력 b에 오류를 발생시키는 경우.
- [0040] 본 발명에서는 위 4가지 경우의 오류 모델을 완성하기 위하여 A 블록에 오류를 인가하고 출력의 변화를 수집하여 오류 모델을 완성한다.
- [0041] 1. I1에 다수의 입력을 인가하며, 오류가 없을 때의 A 블록의 출력 결과를 저장한다.
- [0042] 2. I1에 동일한 다수의 입력과 함께, 오류를 인가하여 출력 a와 b의 결과 값을 정상 동작시의 결과 값과 비교하여 $P_A(I1,a)$ 와 $P_A(I1,b)$ 의 모델링을 수행한다.
- [0043] 3. I1에 다수의 입력을 인가하고 A블록 내부에 오류를 인가하여 출력 a와 b의 결과 값을 정상 동작시의 결과 값과 비교하여 $P_A(A,a)$ 와 $P_A(A,b)$ 의 모델링을 수행한다.
- [0044] 도 3은 본 발명의 다른 실시예에 따른 SoC의 구성을 보여주는 블록도이다.
- [0045] 도 3은 도 2의 실시예에서 설명된 SoC에서의 오류 모델링 시간을 단축하기 위한 실시 예이다.
- [0046] 도 3의 실시예는 A블록과 같은 A* 블록을 이용하는 것으로서, 상단의 A블록은 정상 동작을 수행하고, A*블록은 오류 상황에서의 동작을 수행하여 출력 a와 a*, b와 b*를 비교하여 A 블록의 오류율을 분석하는 방식이다. 구체적인 오류율 분석 방식은 다음과 같다.
- [0047] 1. I1에 정상 동작시의 입력을 인가하고, I1*에는 I1에 오류를 투입한 입력을 인가하여 A와 A*의 출력 결과인 a와 a*, b와 b*를 비교하여 $P_A(I1,a)$ 와 $P_A(I1,b)$ 의 모델링을 수행한다.
- [0048] 2. I1과 I1*에 정상 동작시의 입력을 인가하고, A*블록에 오류를 투입하여 A와 A*의 출력 결과인 a와 a*, b와 b*를 비교하여 $P_A(A,a)$ 와 $P_A(A,b)$ 의 모델링을 수행한다.
- [0049] 비교기(310)는 a와 a*를 비교하여 $P_A(I1,a)$ 또는 $P_A(A,a)$ 의 모델링을 수행한다.
- [0050] 그리고, 비교기(320)는 b와 b*를 비교하여 $P_A(I1,b)$ 또는 $P_A(A,b)$ 의 모델링을 수행한다.
- [0051] 도 4는 본 발명의 일 실시예에 따른 내부 블록들과 연결망 정보를 이용하여 도 2에 도시된 SoC의 오류 모델링을 수행하는 방법을 나타낸 도면이다. 도 4는 내부 블록들의 오류 모델과 연결망 정보를 이용하여 도 2에 도시된 SoC의 오류 모델링을 수행하는 방법을 그래프로 표시한 도면이다.
- [0052] 도 4에서 노드는 각 내부 블록에서 생성되는 오류율을 나타내며, 화살표는 내부 블록들의 연결망 정보와 함께 연결망을 통해 전파되는 오류율을 나타낸다.
- [0053] 도 4를 참조하면, A, B, C, D 각 블록의 오류 모델은 각 블록 내부에서 발생하는 오류율과 입력된 오류가 출력으로 전파되는 오류율의 합으로 표현된다.
- [0054] 예를 들면, A블록의 출력 a의 오류율 $P(a)$ 은 A블록 내부에서 발생한 오류가 출력 a에 나타나는 오류율 $P_A(A,a)$ 와 입력 I1에서의 오류가 A블록을 통과하여 출력 a에 전파되는 오류율 $P_A(I1,a)$ 의 합으로 나타낼 수 있다.
- [0055] 마찬가지로, A블록의 출력 b의 오류율 $P(b)$ 는 A블록 내부에서 발생한 오류가 출력 b에 나타나는 오류율 $P_A(A,b)$ 와 입력 I1에서의 오류가 A블록을 통과하여 출력 b에 전파되는 오류율 $P_A(I1,b)$ 의 합으로 나타낼 수 있다.
- [0056] B블록의 출력 c의 오류율 $P(c)$ 는 B블록 내부에서 발생한 오류가 출력 c에 나타나는 오류율 $P_B(B,c)$ 와 출력 a에서의 오류가 B블록을 통과하여 출력 c에 전파되는 오류율 $P_B(a,c)$ 의 합으로 나타낼 수 있다.
- [0057] D블록의 출력 d의 오류율 $P(d)$ 는 D블록 내부에서 발생한 오류가 출력 d에 나타나는 오류율 $P_D(D,d)$ 와, 입력 I2에서의 오류가 D블록을 통과하여 출력 d에 전파되는 오류율 $P_D(I2,d)$ 과, 출력 b에서의 오류가 D블록을 통과하여

도면

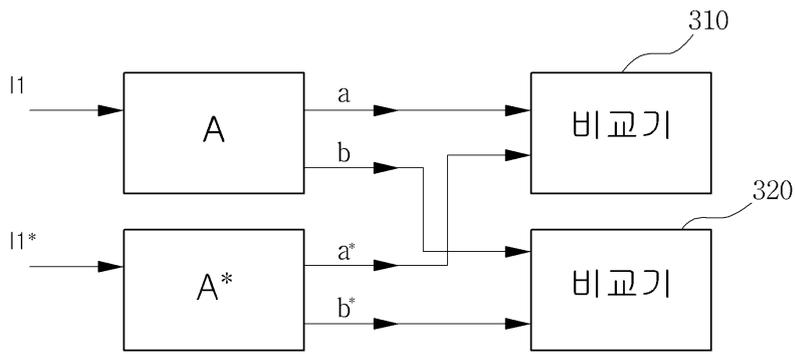
도면1



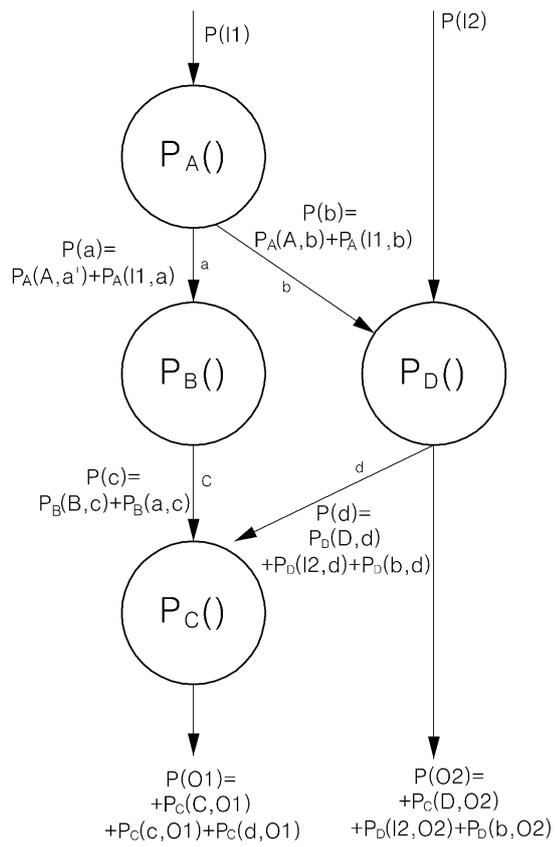
도면2



도면3



도면4



도면5

